

**TCN 68 - 216: 2002**

**THIẾT BỊ ĐẦU CUỐI KẾT NỐI VÀO MẠNG  
VIỄN THÔNG CÔNG CỘNG  
SỬ DỤNG KÊNH THUÊ RIÊNG TỐC ĐỘ  $N \times 64$  kbit/s  
YÊU CẦU KỸ THUẬT**

**TERMINAL EQUIPMENT CONNECTED TO  
THE PUBLIC TELECOMMUNICATIONS NETWORKS (PTNs)  
USING DIGITAL LEASED CIRCUITS AT DATA RATES OF  
 $N \times 64$  kbit/s**

**TECHNICAL REQUIREMENTS**

## MỤC LỤC

<i>Lời nói đầu</i> .....	4
<b>1. Phạm vi áp dụng</b> .....	5
<b>2. Tài liệu tham chiếu chuẩn</b> .....	5
<b>3. Thuật ngữ, định nghĩa và các chữ viết tắt</b> .....	6
3.1 Thuật ngữ, định nghĩa.....	6
3.2 Các chữ viết tắt.....	6
<b>4. Yêu cầu kỹ thuật chung</b> .....	7
4.1 Điểm kết nối mạng .....	7
4.2 Các yêu cầu về điện tại giao diện.....	8
<b>5. Đặc trưng điện của các mạch trao đổi tại giao diện V.11</b> .....	8
5.1 Đặc trưng điện của mạch trao đổi cân bằng.....	8
5.2 Các đặc trưng điện của mạch trao đổi không cân bằng .....	15
<b>6. Đặc trưng điện của các mạch trao đổi giao diện V.35</b> .....	18
6.1 Đặc trưng điện của mạch trao đổi cân bằng.....	18
6.2 Đặc trưng điện của mạch trao đổi không cân bằng.....	19
<b>7. Đặc trưng điện của giao diện G.703 64 kbit/s</b> .....	19
7.1 Cổng lối ra.....	19
7.2 Cổng lối vào.....	21
<b>Phụ lục A</b>	
A.1 Phương pháp đo các đặc trưng điện của giao diện V.11.....	24
A.2 Phương pháp đo các đặc trưng điện giao diện G.703 64 kbit/s.....	27
A.3 Phương pháp đo các đặc trưng điện tại giao diện V.35 .....	31
A.4 Các mạch trao đổi tại giao diện .....	31
<b>Phụ lục B</b>	
B.1 Các loại giắc nối .....	33
B.2 Bảng tóm tắt các yêu cầu kỹ thuật .....	38
B.3 Chuỗi bit giả ngẫu nhiên dài $2^{11} - 1$ (2047 bit) .....	40

## CONTENTS

<i>Foreword</i> .....	44
<b>1. Scope</b> .....	45
<b>2. References</b> .....	45
<b>3. Definitions and Abbreviations</b> .....	46
3.1 Definitions .....	46
3.2 Abbreviations .....	46
<b>4. General technical requirements</b> .....	47
4.1 Interconnection point .....	47
4.2 Interface electrical requirements .....	48
<b>5. Electrical characteristics of interchange circuits for V.11 interface</b> ....	48
5.1 Electrical characteristics of balanced interchange circuits.....	48
5.2 Electrical characteristics of unbalanced interchange circuits.....	55
<b>6. Electrical characteristics of interchange circuits for V.35 interface</b> ....	59
6.1 Electrical characteristics of balanced interchange circuits.....	59
6.2 Electrical characteristics of unbalanced interchange circuits.....	60
<b>7. Electrical characteristics of G.703 64 kbit/s interface</b> .....	60
7.1 Output port .....	60
7.2 Input port.....	63
<b>Appendix A</b>	
A.1 Method of measurement electrical characteristis of V.11 interface.....	66
A.2 Method of measurement electrical characteristis of G.703 64 kbit/s interface .....	69
A.3 Method of measurement electrical characteristis of V.35 interface ....	74
A.4 Interchange circuits at interface .....	74
<b>Appendix B</b>	
B.1 Types of connector.....	76
B.2 Table of requirements .....	81
B.3 Pseudo-random pattern of $2^{11} - 1$ (2047 bit) pattern length.....	84

## **LỜI NÓI ĐẦU**

Tiêu chuẩn Ngành TCN 68 - 216: 2002 "**Thiết bị đầu cuối kết nối vào mạng viễn thông công cộng sử dụng kênh thuê riêng tốc độ Nx64 kbit/s - Yêu cầu kỹ thuật**" được xây dựng trên cơ sở chấp thuận áp dụng nguyên vẹn nội dung chính của các khuyến nghị ITU-T V.11, V.28, V.35; tiêu chuẩn ETSI EN 300 290 theo phương pháp bao hàm.

Để giúp cho người sử dụng có các thông tin cần thiết mà không phải tra cứu nhiều tài liệu khác, các phụ lục tham khảo B1 và B2 đã được bổ sung vào tiêu chuẩn, trong đó B1 là sơ đồ chân của các giắc cắm cần thiết, B2 là bảng tham chiếu đến các tiêu chuẩn quốc tế tương đương.

Tiêu chuẩn Ngành TCN 68 - 216: 2002 do Viện Khoa học Kỹ thuật Bưu điện (RIPT) biên soạn, Vụ Khoa học - Công nghệ đề nghị và được Bộ Bưu chính, Viễn thông (MPT) ban hành theo Quyết định số 34/2002/QĐ-BBCVT ngày 31 tháng 12 năm 2002.

Tiêu chuẩn Ngành TCN 68 - 216: 2002 được ban hành dưới dạng song ngữ (tiếng Việt và tiếng Anh). Trong trường hợp có tranh chấp về cách hiểu do biên dịch, bản tiếng Việt được áp dụng.

**VỤ KHOA HỌC - CÔNG NGHỆ**

**THIẾT BỊ ĐẦU CUỐI KẾT NỐI VÀO MẠNG  
VIỄN THÔNG CÔNG CỘNG  
SỬ DỤNG KÊNH THUÊ RIÊNG TỐC ĐỘ  $N \times 64$  kbit/s  
YÊU CẦU KỸ THUẬT**

*(Ban hành kèm theo Quyết định số 34/2002/QĐ-BBCVT ngày 31/12/2002 của Bộ trưởng Bộ Bưu chính, Viễn thông)*

### **1. Phạm vi áp dụng**

Tiêu chuẩn TCN 68 - 216: 2002 quy định các yêu cầu kỹ thuật tối thiểu về điện và vật lý tại giao diện số kết nối các thiết bị đầu cuối viễn thông (TTE) vào mạng viễn thông công cộng (PTN) sử dụng kênh thuê riêng số tốc độ  $n \times 64$  kbit/s (với  $n = 1 \div 31$ ).

Tiêu chuẩn TCN 68 - 216: 2002 là sở cứ cho việc chứng nhận hợp chuẩn thiết bị, nhằm đảm bảo khả năng cùng hoạt động với mạng.

Tiêu chuẩn TCN 68 - 216: 2002 không đề cập đến các yêu cầu về an toàn điện và tương thích điện từ. Các yêu cầu này được quy định trong các tiêu chuẩn ngành liên quan như TCN 68 - 190: 2000 và TCN 68 - 191: 2000.

### **2. Tài liệu tham chiếu chuẩn**

- [1] ETSI EN 300.290: 2001: “*Access and Terminal (AT) 64 kbit/s digital unrestricted leased line with octet integrity (D64U); Terminal equipment interface*”.
- [2] ITU-T Recommendation V.11: “*Electrical characteristics for balanced double-current interchange circuits operating at data signaling rates up to 10 Mbit/s*”; 1996.
- [3] ITU-T Recommendation V.28: “*Electrical characteristics for unbalanced double-current interchange circuits*”; 1996.
- [4] ITU-T Recommendation V.35: “*Data transmission at 48 kbit/s using 60-108 kHz group band circuits*”; 1996.
- [5] ITU-T Recommendation G.703: “*Physical/electrical characteristics of hierarchical digital interfaces*”; 1998.

- [6] ISO/IEC 2593: 1993: “*Information technology - Telecommunications and information exchange between systems - 34 pole DTE/DCE interface connector mateability dimensions and contact number assignments*”.
- [7] ISO/IEC 4902: 189: “*Information technology - Data communication - 37 pole DTE/DCE interface connector and contact number assignments*”.
- [8] HKTA 2030. *Network Connection specification for connection of Customer Premises Equipment (CPE) to the public telecommunications network (PTNs) using digital leased circuits at data rates of  $n \times 64$  kbit/s*; March 1999.

### **3. Thuật ngữ, định nghĩa và các chữ viết tắt**

#### **3.1 Thuật ngữ, định nghĩa**

*Kênh thuê riêng*: là phương tiện viễn thông của mạng viễn thông công cộng cung cấp các đặc tính truyền dẫn xác định giữa các điểm kết cuối mạng và không bao gồm các chức năng chuyển mạch mà người sử dụng có thể điều khiển được (ví dụ: chuyển mạch theo yêu cầu).

*Điểm kết cuối mạng*: là các kết nối vật lý và các thông số kỹ thuật của chúng tạo thành một phần của mạng viễn thông công cộng, giúp cho việc truy nhập và truyền tin có hiệu quả qua mạng viễn thông đó.

*Thiết bị đầu cuối viễn thông (TTE)*: là thiết bị nối với mạng viễn thông công cộng hoặc mạng nội bộ hoặc mạng viễn thông chuyên dụng có nghĩa là: nối trực tiếp với kết cuối của mạng viễn thông hoặc liên kết với một mạng đã được nối trực tiếp hoặc gián tiếp tới kết cuối của mạng viễn thông để gửi, nhận hoặc xử lý thông tin.

#### **3.2 Các chữ viết tắt**

ASD	Bộ phát hiện trạng thái
DC	Dòng một chiều
DCE	Thiết bị đầu cuối mạch số liệu
DTE	Thiết bị đầu cuối số liệu
EMC	Tương thích điện từ
IP	Điểm kết nối
LCL	Suy hao chuyển đổi dọc
NTP	Điểm kết cuối mạng
ppm	Phần triệu

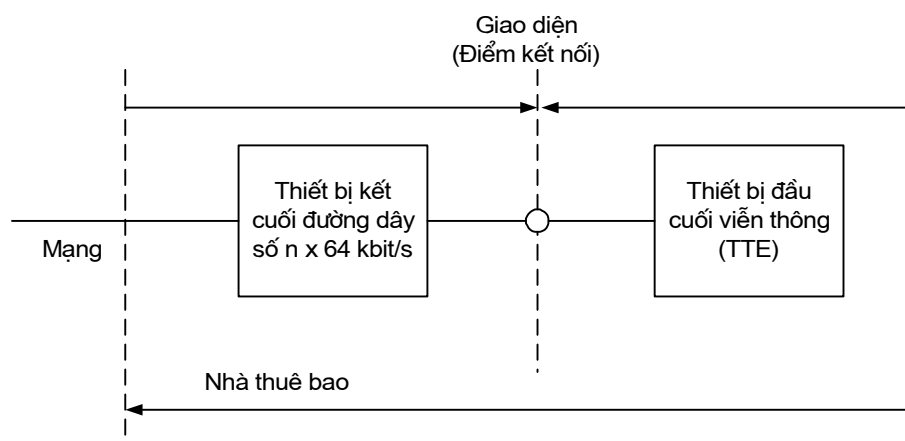
PRBS( $2^{11} - 1$ )	Chuỗi bit giả ngẫu nhiên (theo quy định ở mục 2.1 của Khuyến nghị ITU O.152)
PTN	Mạng viễn thông công cộng
r.m.s	Giá trị hiệu dụng
TTE	Thiết bị đầu cuối viễn thông
UI	Khoảng đơn vị

## 4. Yêu cầu kỹ thuật chung

### 4.1 Điểm kết nối mạng

#### 4.1.1 Vị trí

Như hình 1.



Hình 1: Điểm kết nối TTE với giao diện số  $n \times 64$  kbit/s

#### 4.1.2 Yêu cầu

Thiết bị của nhà khai thác được lắp đặt và đi cáp tại nhà thuê bao để cung cấp điểm kết nối tới thiết bị đầu cuối TTE. Thiết bị của nhà khai thác có thể sử dụng cùng nguồn điện 220 V (AC)  $\pm 10\%$  hoặc 48 V (DC)  $\pm 10\%$  của TTE trong nhà thuê bao.

#### 4.1.3 Loại giắc nối

Loại giắc nối tùy thuộc vào giao diện sử dụng.

- Giao diện V.35 sử dụng giắc nối 34 chân theo tiêu chuẩn ISO 2593 (M34).
- Giao diện V.11 sử dụng giắc nối 37 chân theo tiêu chuẩn ISO 4902 (DB37).
- Giao diện G703 64 kbit/s sử dụng giắc nối loại 8 chân theo tiêu chuẩn ISO/IEC 10173.

## **4.2 Các yêu cầu về điện tại giao diện**

### **4.2.1 Loại giao diện**

Giao diện số ứng với điểm kết nối của TTE là một trong các loại chính sau:

- a) V.35;
- b) V.11 hoặc
- c) G.703 64 kbit/s.

### **4.2.2 Tốc độ số liệu và định thời**

#### **4.2.2.1 Tốc độ số liệu**

TTE phải có khả năng hoạt động với tốc độ  $n \times 64$  kbit/s với  $n = 1 \div 31$ , dung sai tốc độ  $\pm 10^{-4}$ .

#### **4.2.2.2 Định thời**

- TTE phải có khả năng hoạt động trong chế độ định thời tứ (trạng thái mặc định) và chế độ định thời chủ là tùy chọn.

- Giao diện thiết bị đầu cuối dùng cho các kênh thuê riêng tốc độ 64 kbit/s, cung cấp các kết nối điểm - điểm, hai hướng sử dụng tín hiệu định thời do mạng cung cấp. Phân bố tín hiệu định thời là đồng hướng.

## **5. Đặc trưng điện của các mạch trao đổi tại giao diện V.11**

### **5.1 Đặc trưng điện của mạch trao đổi cân bằng**

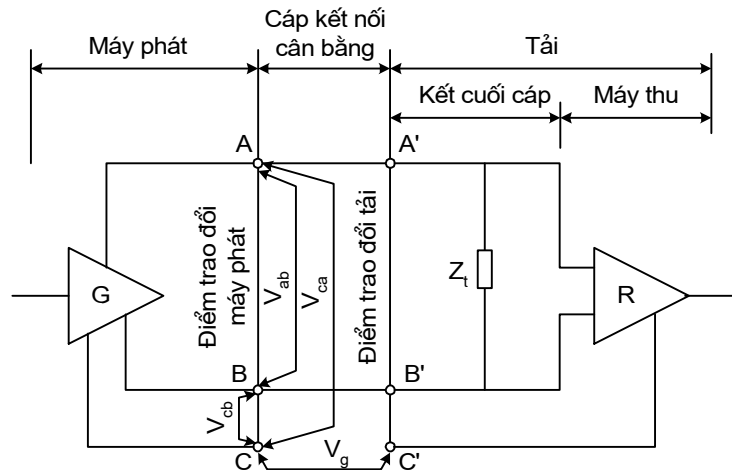
Đặc trưng điện của các mạch trao đổi cân bằng (mạch 103, 104, 113, 114 và 115 trong bảng 2) tuân thủ khuyến nghị ITU-T V.11, được trích dẫn nguyên vẹn sau đây.

#### **5.1.1 Minh họa tượng trưng mạch trao đổi cân bằng**

Thiết bị tại hai phía của giao diện có thể kết hợp máy phát và thu theo cách bất kỳ. Minh họa tượng trưng của mạch trao đổi trong hình 2 mô tả điểm trao đổi máy phát và điểm trao đổi tải.

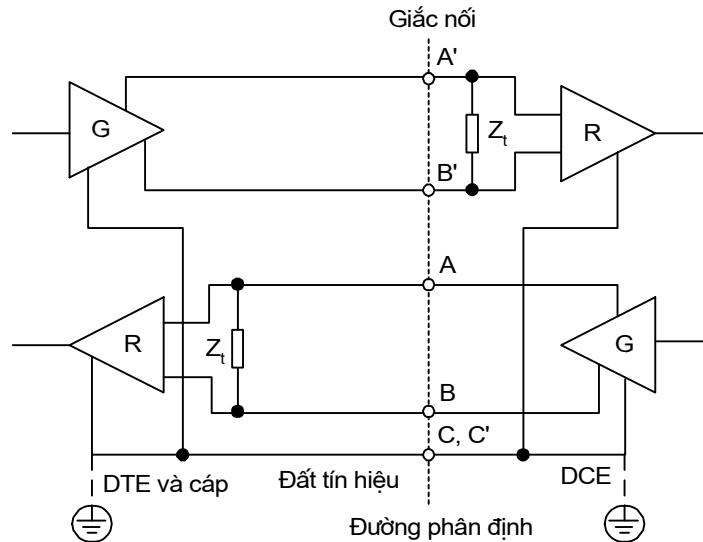
Trong các ứng dụng truyền số liệu, cáp giao diện được cấp bởi DTE. DTE và cáp giao diện tạo ra một đường phân định với DCE. Đường phân định này cũng được gọi là điểm trao đổi như minh họa trong hình 3.





- $V_{ab}$  Điện áp lối ra máy phát giữa các điểm A và B
- $V_{ca}$  Điện áp lối ra máy phát giữa các điểm C và A
- $V_{cb}$  Điện áp lối ra máy phát giữa các điểm C và B
- $Z_1$  Trở kháng kết cuối cáp
- $V_g$  Hiệu điện thế đất
- A, B và A', B' Các điểm trao đổi
- C, C' Các điểm trao đổi chuẩn điện áp 0V

Hình 2: Minh họa tượng trưng của mạch trao đổi cân bằng



Hình 3: Minh họa thực tế của giao diện

### 5.1.2 Các trạng thái tín hiệu máy phát và máy thu

#### 5.1.2.1 Trạng thái tín hiệu máy phát

Các trạng thái tín hiệu của máy phát được xác định bằng điện áp giữa các điểm lối ra A và B trong hình 2.

Điện thế điểm A dương so với điểm B tương ứng với trạng thái tín hiệu mạch số liệu là 0 (không có xung); mạch điều khiển và định thời là ON.

Điện thế điểm A âm so với điểm B ứng với trạng thái tín hiệu mạch số liệu là 1 (có xung); mạch điều khiển và định thời là OFF.

**5.1.2.2 Trạng thái tín hiệu máy thu**

Các mức tín hiệu chênh lệch của máy thu được quy định trong bảng 1, với  $V_{A'}$  và  $V_{B'}$  tương ứng là điện áp tại điểm A' và B' so với điểm C'.

*Bảng 1: Các mức vi sai có nghĩa của máy thu*

	$V_{A'} - V_{B'} \leq - 0,3 \text{ V}$	$V_{A'} - V_{B'} \geq + 0,3 \text{ V}$
Các mạch số liệu	1	0
Các mạch điều khiển và định thời	OFF	ON

**5.1.3 Máy phát**

**5.1.3.1 Điện trở và điện áp lệch một chiều**

**Yêu cầu:**

- Điện trở giữa điểm A và B của máy phát nhỏ hơn hoặc bằng 100  $\Omega$ , đủ cân bằng so với điểm C.
- Trong mọi điều kiện hoạt động, điện áp lệch một chiều của máy phát phải nhỏ hơn hoặc bằng 3,0 V.

**Phép đo:** Theo mục A.1.1.

**5.1.3.2 Các tham số tĩnh**

**a) Hở mạch**

**Yêu cầu:**

Khi nối điện trở 3900  $\Omega$  giữa điểm A và B, trong cả hai trạng thái nhị phân, biên độ điện áp vi sai  $V_0$  phải nhỏ hơn hoặc bằng 6,0 V, cả  $V_{0a}$  và  $V_{0b}$  không được lớn hơn 6,0 V (hình 4a).

**Phép đo:** Theo mục A.1.2a.

**b) Kết cuối**

**Yêu cầu:**

- Với tải thử là hai điện trở 50  $\Omega$  mắc nối tiếp giữa hai điểm ra A và B. Điện áp vi sai  $V_1$  không nhỏ hơn giá trị lớn nhất trong hai giá trị: 2,0 V hay 50% biên độ  $V_0$  (hình 4b).
- Khi thay đổi trạng thái nhị phân, cực tính  $V_1$  sẽ bị đảo ngược ( $-V_1$ ), sự khác nhau về biên độ của  $V_1$  và  $-V_1$  phải nhỏ hơn 0,4 V.
- Biên độ điện áp lệch một chiều của máy phát,  $V_{0s}$ , nhỏ hơn hoặc bằng 3,0 V.
- Sự khác nhau về biên độ của  $V_{0s}$  trong hai trạng thái nhị phân phải nhỏ hơn 0,4 V.

**Phép đo:** Theo mục A.1.2b.

c) Ngắn mạch

**Yêu cầu:**

Khi nối ngắn mạch điểm A và B với điểm C, dòng qua mỗi điểm lối ra A hay B (trong hình 4c) trong cả hai trạng thái nhị phân không lớn hơn 150 mA.

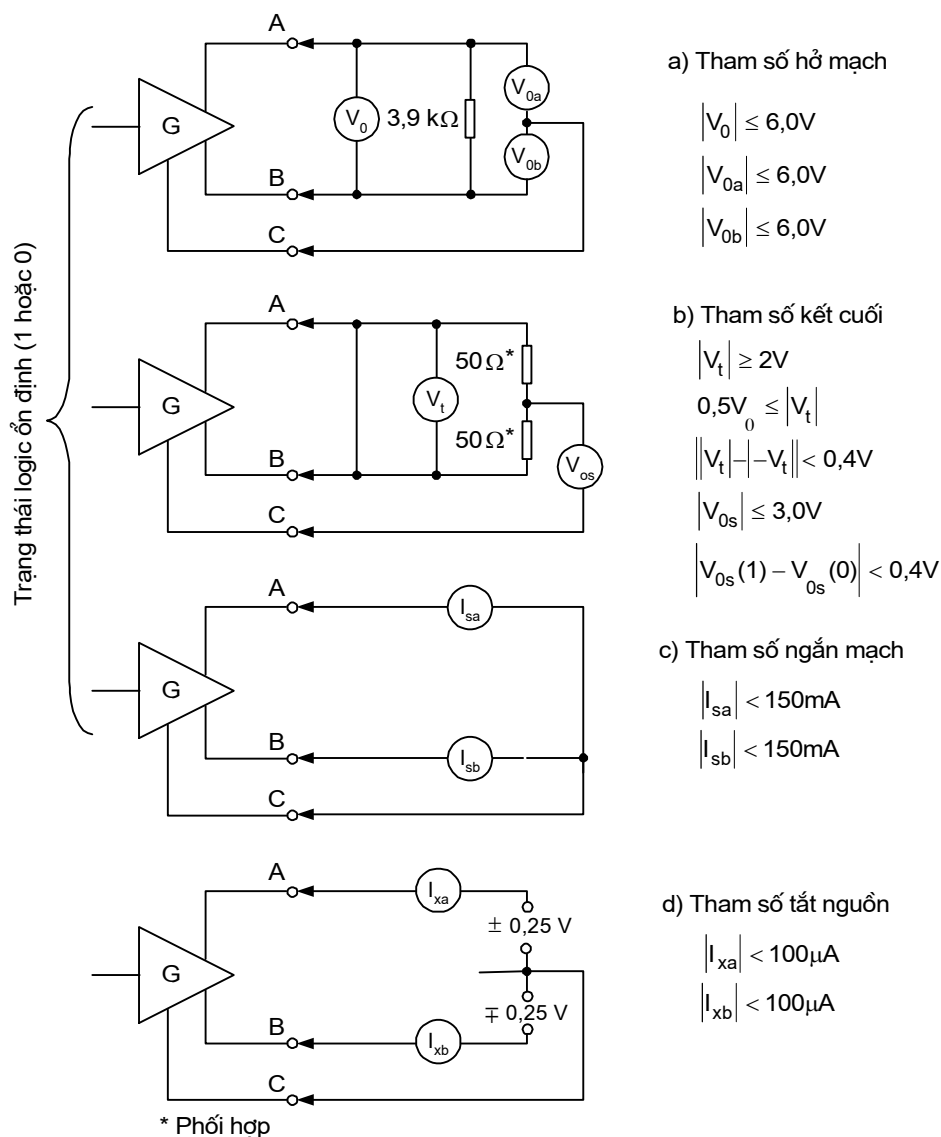
**Phép đo:** Theo mục A.1.2c.

d) Ngắt nguồn

**Yêu cầu:**

Khi ngắt nguồn, với điện áp giữa mỗi lối ra và điểm C trong dải từ -0,25 V đến +0,25 V (như trong hình 4d), biên độ dòng rò lối ra ( $I_{xa}$  và  $I_{xb}$ ) không được lớn hơn 100  $\mu$ A.

**Phép đo:** Theo mục A.1.2d.



Hình 4: Máy phát - các tham số tĩnh

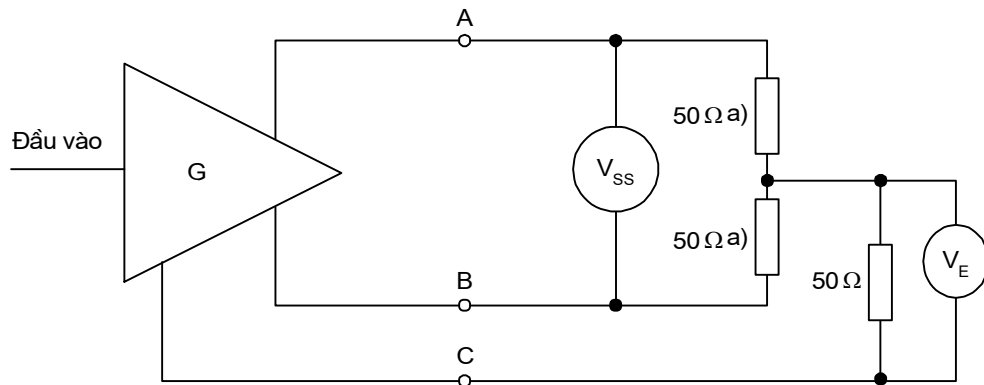
**5.1.3.3 Độ cân bằng động điện áp và thời gian sườn lên của xung**

**Yêu cầu:**

- Với tín hiệu thử lối vào gồm các bit “1” và “0” có độ rộng xung danh định  $t_b$ , khi chuyển tiếp giữa hai trạng thái nhị phân, biên độ tín hiệu lối ra thay đổi đều giữa 0,1 và 0,9  $V_{ss}$  trong khoảng thời gian lớn nhất trong hai giá trị:  $0,1 t_b$  hoặc 20 ns (xác định trong hình 5). Sau đó, điện áp tín hiệu sẽ không thay đổi lớn hơn 10%  $V_{ss}$  xung quanh giá trị trạng thái ổn định.

- Giá trị đỉnh-đỉnh của điện áp do không cân bằng điện trở gây ra ( $V_E$ ) nhỏ hơn 0,4 V.

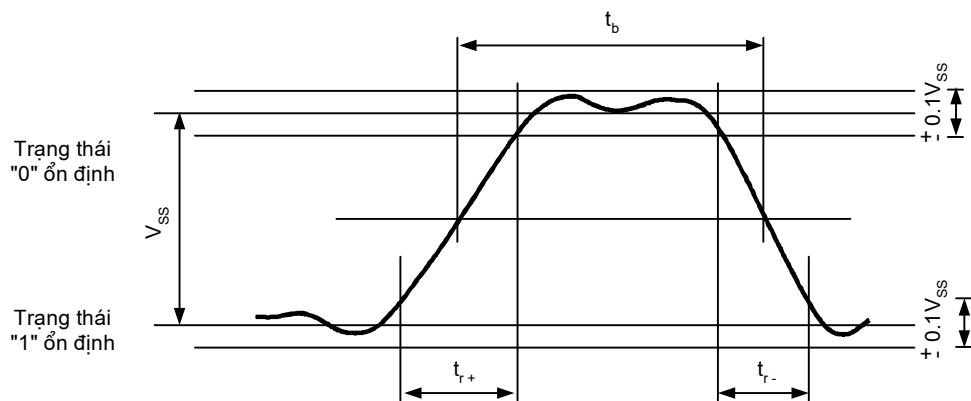
**Phép đo: Theo mục A.1.3.**



$V_E < 0,4$  V đỉnh - đỉnh (tạm thời)

$V_{ss}$  Hiệu điện thế giữa các trạng thái tín hiệu có mức logic ổn định

a) Phối hợp



$t_b$  Độ rộng xung thử

$t_b \geq 200$  ns,  $t_r \leq 0,1 t_b$

$t_b \geq 200$  ns,  $t_r \leq 20$  ns

*Hình 5: Cân bằng động và thời gian sườn lên của xung*

### 5.1.4 Tải

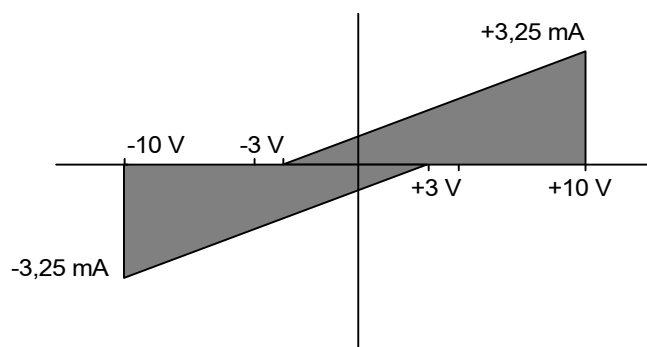
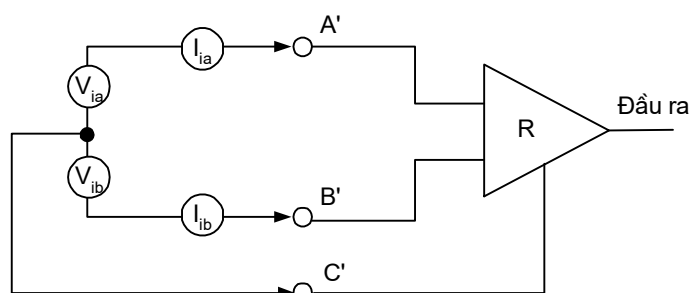
#### 5.1.4.1 Các đặc tính

Tải gồm máy thu (R) và điện trở kết cuối cáp ( $Z_l$ ) như mô tả trong hình 2. Các đặc trưng điện của máy thu được xác định theo các tham số trong hình 6, 7 và 8, mô tả trong các mục 5.1.4.2, 5.1.4.3 và 5.1.4.4.

#### 5.1.4.2 Dòng - điện áp lỗi vào máy thu

- Với điện áp  $V_{ia}$  (hoặc  $V_{ib}$ ) có giá trị giữa -10 và +10 V khi  $V_{ib}$  (hoặc  $V_{ia}$ ) bằng 0 V, dòng vào  $I_{ia}$  (hay  $I_{ib}$ ) phải có giá trị trong vùng giới hạn ở hình 6.

- Các giá trị trên áp dụng khi có hoặc không có nguồn nuôi.



Hình 6: Dòng - điện áp lỗi vào máy thu

#### 5.1.4.3 Độ nhạy tín hiệu lỗi vào DC

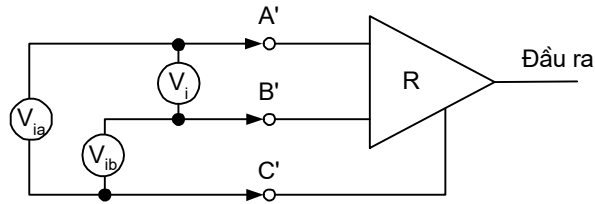
##### Yêu cầu:

- Máy thu phải chuyển trạng thái logic lỗi ra chính xác khi  $V_{cm}$  có giá trị trong dải -7 V tới +7 V mà không cần điện áp lỗi vào vi sai ( $V_i$ ) lớn hơn 300 mV. Đảo ngược cực tính của  $V_i$  làm cho máy thu chuyển sang trạng thái nhị phân ngược lại.

- Điện áp giữa một trong hai lối vào và đất máy thu ( $V_{cm}$ ) không được lớn hơn 10 V và không làm hỏng máy thu. Máy thu phải chịu được điện áp vi sai cực đại 12 V giữa các lối vào mà không bị hư hại.

- Khi có tổ hợp điện áp  $V_{ia}$  và  $V_{ib}$  (hình 7) xác định trong bảng 2 ở lối vào, máy thu phải duy trì được trạng thái logic lỗi ra mà không bị hư hại.

**Phép đo:** Theo mục A.1.4.



Hình 7: Độ nhạy lỗi vào DC của máy thu

Bảng 2: Các mức điện áp đầu vào và ra

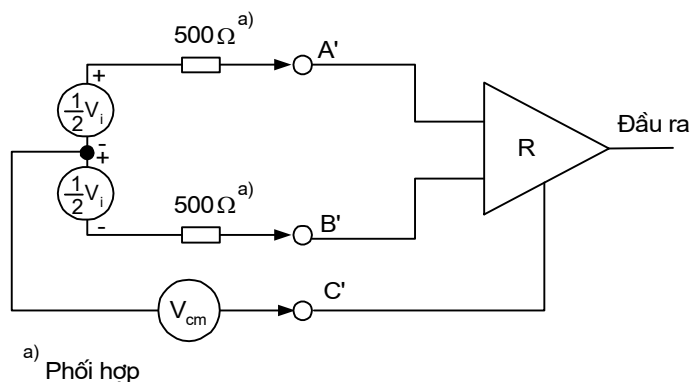
Điện áp sử dụng (V)		Điện áp lỗi vào $V_i$ (V)	Trạng thái nhị phân lỗi ra	Mục đích đo kiểm
$V_{ia}$	$V_{ib}$			
-12	0	-12	Không xác định	Đảm bảo an toàn các lỗi vào của máy thu
0	-12	+12		
+12	0	+12		
0	+12	-12		
+10	+4	+6	0	Duy trì trạng thái logic chính xác tại $V_i = 6$ V
+4	+10	-6	1	
-10	-4	-6	1	
-4	-10	+6	0	
+0,30	0	+0,3	0	Đo ngưỡng 300 mV } $V_{cm} = 0$ V
0	+0,30	-0,3	1	
+7,15	+6,85	+0,3	0	
+6,85	+7,15	-0,3	1	
-7,15	-6,85	-0,3	1	} $V_{cm} = -7$ V
-6,85	-7,15	+0,3	0	

5.1.4.4 Cân bằng lỗi vào

Độ cân bằng của điện trở lỗi vào và các thiên áp bên trong máy thu phải đảm bảo cho máy thu duy trì ổn định trạng thái nhị phân trong các điều kiện được chỉ ra trong hình 8 và được mô tả như sau:

- a)  $V_i = +720$  mV,  $V_{cm}$  thay đổi trong khoảng -7 V đến +7 V;
- b)  $V_i = -720$  mV,  $V_{cm}$  thay đổi trong khoảng -7 V đến +7 V;

- c)  $V_i = +300 \text{ mV}$ ,  $V_{cm}$  là sóng vuông có giá trị đỉnh - đỉnh 1,5 V tại tốc độ số liệu cao nhất;
- d)  $V_i = -300 \text{ mV}$ ,  $V_{cm}$  là sóng vuông có giá trị đỉnh - đỉnh 1,5 V tại tốc độ số liệu cao nhất.



Hình 8: Độ cân bằng lối vào của máy thu

#### 5.1.4.5 Kết cuối

Sử dụng trở kháng kết cuối cáp ( $Z_L$ ) là tùy chọn. Trong mọi trường hợp, tổng điện trở tải phải nhỏ hơn  $100 \Omega$ .

### 5.2 Các đặc trưng điện của mạch trao đổi không cân bằng

Đặc trưng điện của các mạch trao đổi không cân bằng (các mạch còn lại của bảng 2) tuân thủ khuyến nghị ITU-T V.28, được trích dẫn nguyên vẹn sau đây.

#### 5.2.1 Mạch trao đổi tương đương

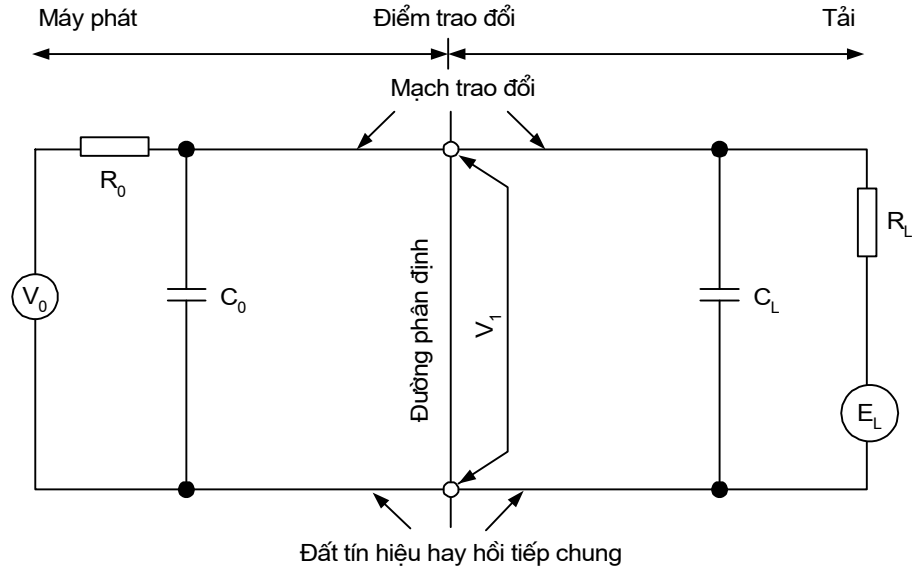
Hình 9 là mạch trao đổi tương đương với các tham số điện được quy định kèm theo.

Mạch tương đương không phụ thuộc vào vị trí máy phát nằm trong thiết bị kết cuối/ mạch số liệu và tải nằm trong thiết bị đầu cuối số liệu hay ngược lại.

Trở kháng của máy phát/ tải bao gồm cả trở kháng của cáp nằm về phía máy phát/ tải của điểm trao đổi.

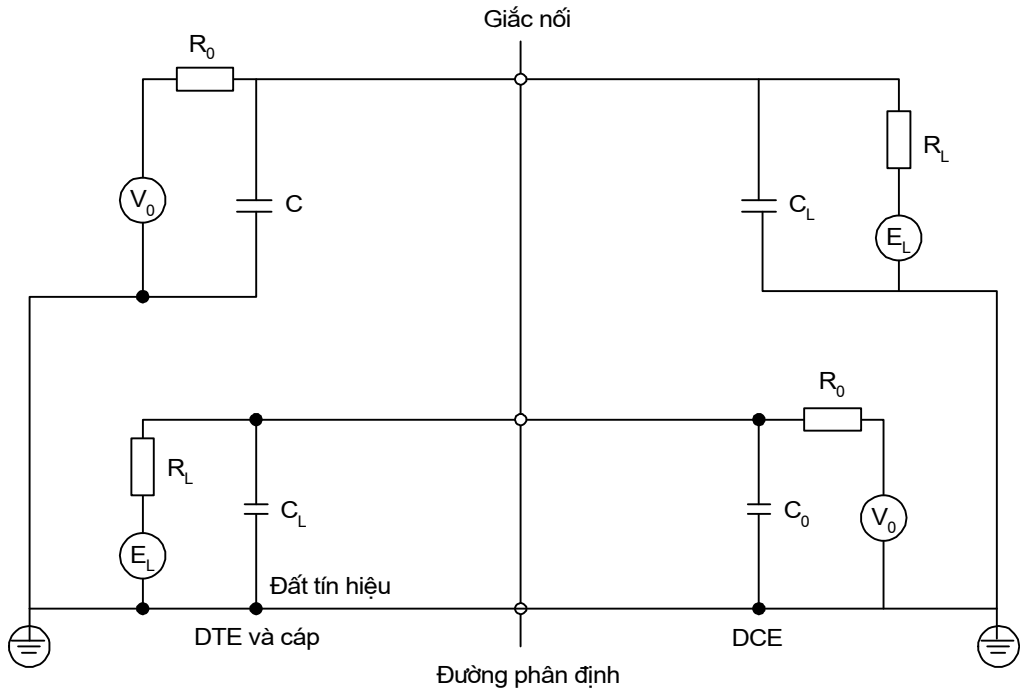
Thiết bị tại hai phía giao diện có thể kết hợp các máy phát và các máy thu theo tổ hợp bất kỳ.

Trong các ứng dụng truyền số liệu, cáp giao diện được cấp bởi DTE. DTE và cáp giao diện tạo ra một đường phân định với DCE. Đường phân định này cũng được gọi là điểm trao đổi và được thực hiện bằng một bộ giắc nối. Các ứng dụng cũng yêu cầu các mạch trao đổi theo hai hướng như minh họa trong hình 10.



- $V_0$ : Điện áp máy phát hở mạch
- $R_0$ : Tổng điện trở một chiều hiệu dụng kết hợp với máy phát, đo tại điểm trao đổi
- $C_0$ : Tổng điện dung hiệu dụng kết hợp với máy phát, đo tại điểm trao đổi
- $V_1$ : Điện áp tại điểm trao đổi so với đất
- $C_L$ : Tổng điện dung hiệu dụng kết hợp với tải, đo tại điểm trao đổi
- $R_L$ : Tổng điện trở một chiều hiệu dụng kết hợp với tải, đo tại điểm trao đổi
- $E_L$ : Điện áp tải hở mạch

Hình 9: Mạch trao đổi tương đương



Hình 10: Minh họa thực tế của giao diện



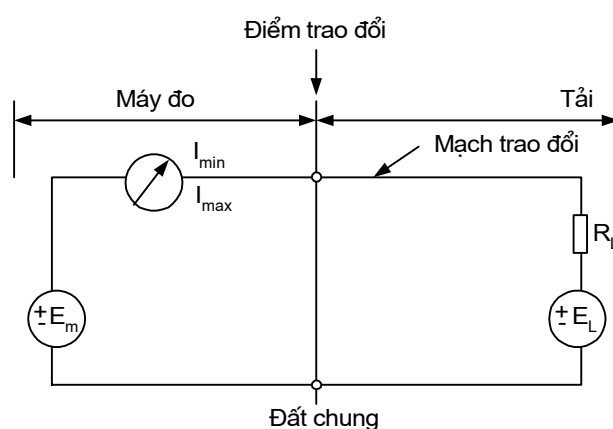
### 5.2.2 Tải

Các điều kiện để đo trở kháng tải như minh họa trong hình 11. Trở kháng phía tải của mạch trao đổi có điện trở một chiều ( $R_L$ ), trong giới hạn:  $3000\Omega < R_L < 7000\Omega$ .

Khi điện áp thử ( $E_m$ ) có biên độ từ 3 V đến 15 V, thì dòng vào (I) đo được phải trong giới hạn:

$$I_{\min, \max} = \left| \frac{E_m \pm E_{L\max}}{R_{L\max, \min}} \right|$$

Điện áp tải hở mạch, ( $E_L$ ) không được lớn hơn 2 V. Điện dung rẽ mạch hiệu dụng của tải, ( $C_L$ ), đo tại điểm trao đổi không được lớn hơn 2500 pF.



Hình 11: Mạch kiểm tra tương đương

### 5.2.3 Máy phát

Biên độ điện áp máy phát hở mạch, ( $V_0$ ), trên một mạch trao đổi bất kỳ không lớn hơn 15 V.

Không quy định trở kháng phía máy phát ( $R_0$  và  $C_0$ ) của mạch trao đổi. Tuy nhiên, tổ hợp  $V_0$  và  $C_0$  được lựa chọn sao cho ngắn mạch giữa hai mạch trao đổi bất kỳ không gây ra dòng lớn hơn 0,5 A.

Ngoài ra, khi điện áp hở mạch tải  $E_L = 0$ , điện trở tải  $3000\Omega < R_L < 7000\Omega$ , thì điện áp tại điểm trao đổi:  $5V \leq V_1 \leq 15V$ .

Không quy định điện dung  $C_0$  tại phía máy phát của mạch trao đổi. Tuy nhiên, cùng với điện trở tải  $R_L$ , máy phát có khả năng tải tất cả các điện dung phía máy phát,  $C_0$ , cùng với điện dung tải  $C_L = 2500$  pF.

### 5.2.4 Điện áp và mức logic

Điện áp và mức logic đối với các mạch trao đổi được quy định trong bảng 3.

*Bảng 3: Điện áp và mức logic*

Mạch trao đổi	$V_1 < -3\text{ V}$	$V_1 > +3\text{ V}$
Số liệu	1	0
Điều khiển, định thời	OFF	ON

### 5.2.5 Các đặc trưng tín hiệu

Các giới hạn sau áp dụng đối với tất cả các tín hiệu trao đổi (số liệu, điều khiển, định thời) tại điểm trao đổi khi mạch trao đổi được nối với mạch thu có tải thoả mãn các yêu cầu xác định trong mục 5.2.2 (trừ nhiễu ngoài).

- Tất cả các tín hiệu đi vào vùng chuyển tiếp sẽ tiếp tục qua vùng này tới trạng thái tín hiệu ngược lại và cho đến khi có sự thay đổi trạng thái tín hiệu tiếp theo, ngoại trừ điều kiện như mô tả ở điểm f).
- Khi tín hiệu đang trong vùng chuyển tiếp, không có sự đảo ngược hướng thay đổi điện áp, ngoại trừ điều kiện như mô tả ở điểm f).
- Đối với các mạch trao đổi điều khiển, thời gian tín hiệu qua vùng chuyển tiếp khi thay đổi trạng thái không lớn hơn 1 ms.
- Đối với các mạch trao đổi số liệu và định thời, thời gian tín hiệu qua vùng chuyển tiếp khi thay đổi trạng thái không lớn hơn giá trị thấp nhất trong hai giá trị sau: 1 ms hoặc 3% chu kỳ danh định của trạng thái trên mạch trao đổi.
- Để giảm xuyên âm giữa các mạch trao đổi, giá trị cực đại của tốc độ thay đổi điện áp tức thời không được lớn hơn 30 V/ $\mu$ s.
- Khi sử dụng các thiết bị cơ điện trên các mạch trao đổi, không áp dụng điểm a) và b) cho các mạch trao đổi số liệu.

## 6. Đặc trưng điện của các mạch trao đổi giao diện V.35

### 6.1 Đặc trưng điện của mạch trao đổi cân bằng

Đặc trưng điện của các mạch trao đổi cân bằng (mạch 103, 104, 113, 114 của bảng 1) tuân thủ phụ lục II trong khuyến nghị ITU-T V.35, được trích dẫn nguyên vẹn sau đây.

#### 6.1.1 Máy phát

Mạch này phải tuân theo các yêu cầu sau:

- Trở kháng nguồn trong dải từ 50 đến 150  $\Omega$ ;
- Điện trở giữa các đầu cuối bị ngắn mạch và mạch 102:  $150 \pm 15\ \Omega$ .

- c. Khi kết cuối bằng tải thuần trở  $100 \Omega$ , điện áp đầu cuối - đầu cuối phải có giá trị  $0,55 \text{ V} \pm 20\%$ , sao cho đầu cuối A dương so với đầu cuối B khi phát bit “0” và trạng thái sẽ đảo lại khi phát bit “1”.
- d. Thời gian tăng từ điểm 10% tới 90% của bất kỳ sự thay đổi trạng thái khi kết cuối như trong mục c) phải nhỏ hơn giá trị lớn nhất trong hai giá trị sau: 1% độ rộng xung danh định của phân tử tín hiệu bất kỳ hoặc 40 ns.
- e. Trung bình số học điện áp đầu cuối A so với mạch 102 và đầu cuối B so với mạch 102 (điện áp lệch một chiều) không lớn hơn 0,6 V khi được kết cuối như trong mục c).

### 6.1.2 Tải

Tải phải tuân theo các yêu cầu sau:

- a. Trở kháng lối vào trong khoảng:  $100 \pm 10 \Omega$ , là thuần trở trong dải tần hoạt động;
- b. Điện trở giữa các đầu cuối ngắn mạch và mạch 102:  $150 \pm 15 \Omega$ .

### 6.1.3 Cáp

Cáp giao diện phải là cáp kim loại nhiều đôi cân bằng với giá trị trở kháng đặc tính giữa 80 và  $120 \Omega$  tại tần số cơ bản của dạng sóng định thời.

## 6.2 Đặc trưng điện của mạch trao đổi không cân bằng

Các đặc trưng điện của các mạch trao đổi không cân bằng (các mạch còn lại của bảng 1) tuân thủ khuyến nghị ITU-T V.28 như đã được trích dẫn trong mục 5.2.

## 7. Đặc trưng điện của giao diện G.703 64 kbit/s

### 7.1 Cổng lối ra

#### 7.1.1 Mã hoá tín hiệu

##### **Yêu cầu:**

Tín hiệu phát từ cổng lối ra phải tuân theo các nguyên tắc mã hoá như sau:

*Bước 1:* Một chu kỳ bit 64 kbit/s được chia thành 4 khoảng đơn vị

*Bước 2:* Bit nhị phân 1 được mã hoá thành khối bốn bit: 1100

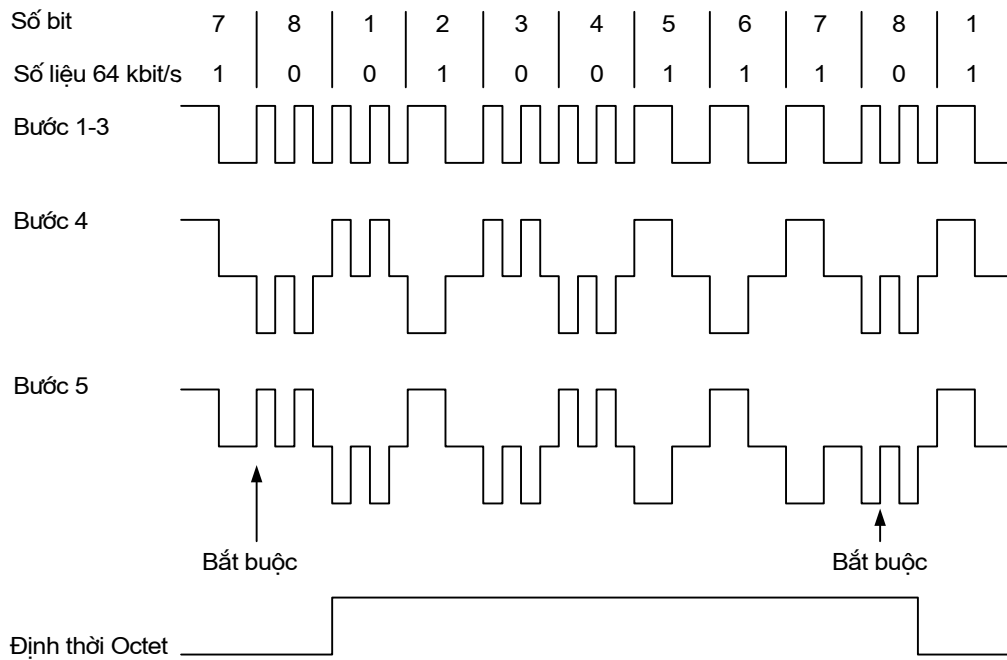
*Bước 3:* Bit nhị phân 0 được mã hoá thành khối bốn bit: 1010

*Bước 4:* Tín hiệu nhị phân được chuyển thành tín hiệu ba mức bằng cách thay thế luân phiên cực tính các khối.

*Bước 5:* Sự thay thế cực tính của các khối được thực hiện cứ sau 8 khối, đánh dấu bit cuối trong mỗi byte.

Các nguyên tắc chuyển đổi minh họa trong hình 12.

**Phép đo:** Theo mục A.2.1.



*Hình 12: Nguyên tắc mã hoá*

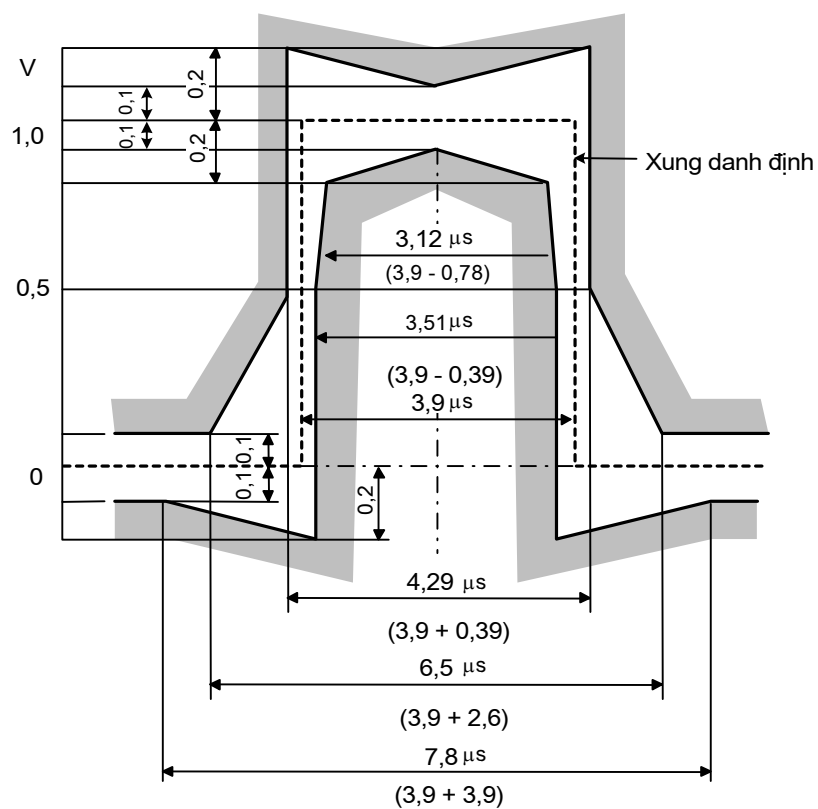
**7.1.2 Dạng xung**

**Yêu cầu:** Dạng xung tại cổng lối ra phải tuân theo các yêu cầu trong bảng 4 và các hình 13, 14.

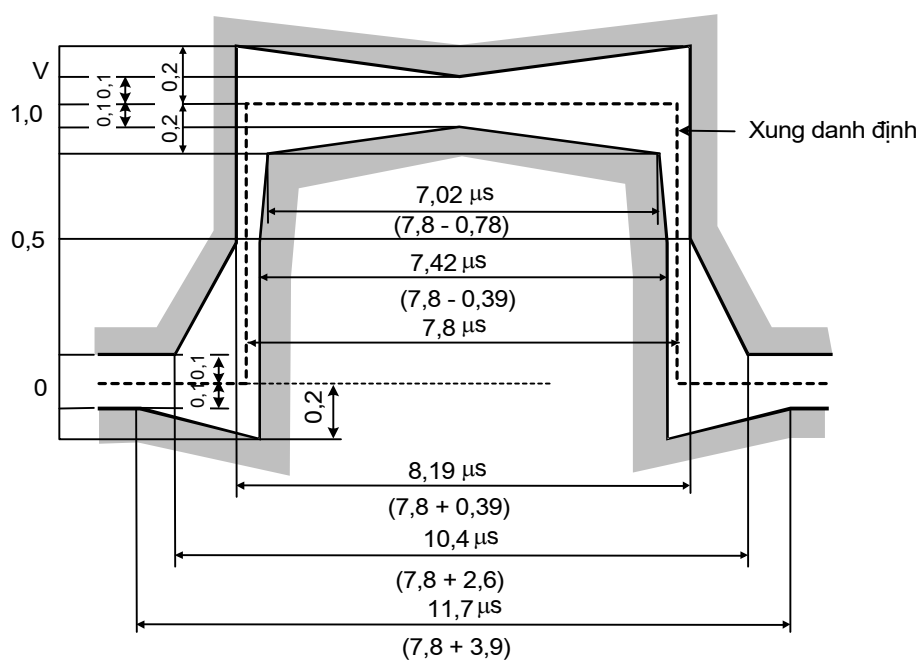
**Phép đo:** Theo mục A.2.2.

*Bảng 4: Dạng xung lối ra*

Dạng xung (danh định là vuông)	Tất cả các xung của tín hiệu hợp lệ phải tuân theo giới hạn như hình 13 và 14, không kể đến cực tính
Cáp cho mỗi hướng truyền	Một đôi dây đối xứng
Trở kháng tải thử	120 Ω, thuần trở
Điện áp đỉnh danh định mức cao (có xung)	1,0 V
Điện áp đỉnh mức thấp (không xung)	0 ± 0,1 V
Độ rộng xung danh định	3,9 μs đối với xung đơn 7,8 μs đối với xung kép
Tỉ lệ biên độ xung dương và âm tính từ điểm giữa độ rộng xung danh định	Từ 0,95 tới 1,05
Tỉ lệ các độ rộng xung dương và âm tính từ điểm giữa biên độ xung	Từ 0,95 tới 1,05



Hình 13: Giới hạn đối với xung đơn



Hình 14: Giới hạn đối với xung kép

**7.1.3 Định thời lối ra**

Thiết bị đầu cuối phải có khả năng:

- Đồng bộ định thời lối ra với tín hiệu định thời thu được tại phía thu của giao diện; hay
- Đồng bộ định thời lối ra với tín hiệu chuẩn bên ngoài (chế độ hoạt động cận đồng bộ).

*Chú ý:* Yêu cầu trên không loại trừ các nguồn định thời phụ, ví dụ nguồn xung nhịp nội.

**7.1.4 Rung pha lối ra**

**Yêu cầu:** Rung pha đỉnh - đỉnh lối ra không được lớn hơn các giá trị quy định trong bảng 5.

**Phép đo:** Theo mục A.2.5.

*Bảng 5: Giá trị rung pha lối ra cực đại*

Bảng thông bộ lọc đo		Rung pha lối ra đỉnh-đỉnh (cực đại)
Bảng cao	Bảng thấp	
20 Hz	20 kHz	0,25 UI
3 kHz	20 kHz	0,05 UI
<i>Chú ý: 0,25 UI = 3,9 ms; 0,05 UI = 0,78 ms</i>		

**7.1.5 Trở kháng so với đất**

**Yêu cầu:** Khi thiết bị đầu cuối có nối đất, trở kháng so với đất của cổng lối ra phải lớn hơn 1000  $\Omega$  trong dải tần từ 10 Hz tới 1 MHz khi đo với điện áp tín hiệu thử hình sin có biên độ 2 V r.m.s.

**Phép đo:** Theo mục A.2.6.

**7.1.6 Suy hao chuyển đổi dọc (LCL)**

**Yêu cầu:** Khi thiết bị đầu cuối có nối đất, suy hao chuyển đổi dọc cổng lối ra không nhỏ hơn các giá trị quy định trong bảng 6.

**Phép đo:** Theo mục A.2.7.

*Bảng 6: Suy hao chuyển đổi dọc lối ra*

Tần số	Suy hao chuyển đổi dọc
3,4 kHz	40 dB
3,4 kHz tới 34 kHz	Giảm 20 dB/10 độ chia từ 40 dB xuống 20 dB
34 kHz tới 256 kHz	20 dB

## 7.2 Cổng lỗi vào

### 7.2.1 Mã hoá tín hiệu

**Yêu cầu:** Cổng lỗi vào phải giải mã không có lỗi tín hiệu đã được mã hoá tuân theo các nguyên tắc mã hoá trong mục 7.1.1.

**Phép đo:** Theo mục A.2.3.

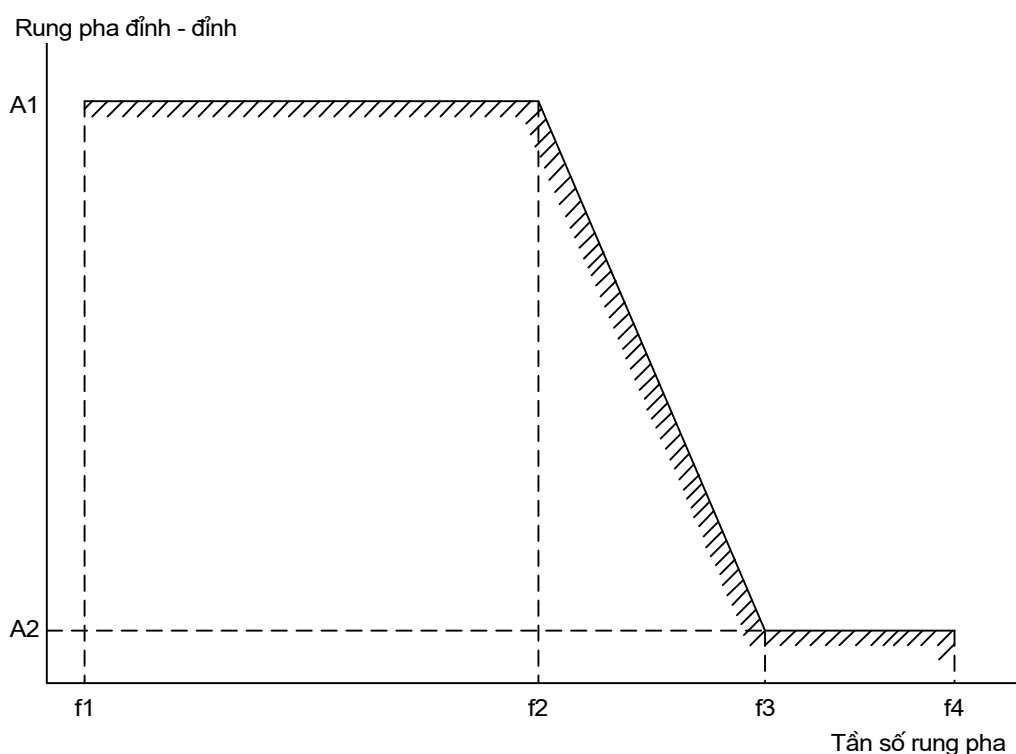
### 7.2.2 Giới hạn xung nhịp lỗi vào

Thiết bị đầu cuối phải hoạt động không có lỗi với tín hiệu mã hoá theo các nguyên tắc mã hoá trong mục 7.1.1 trong dải 64 kbit/s  $\pm$  100 ppm.

### 7.2.3 Giới hạn rung pha lỗi vào

**Yêu cầu:** Thiết bị đầu cuối phải hoạt động không có lỗi với rung pha lỗi vào hình sin cực đại quy định trong hình 15 và bảng 7.

**Phép đo:** Theo mục A.2.5.



Hình 15: Giới hạn rung pha lỗi vào

Bảng 7: Giới hạn rung pha lỗi vào

Biên độ đỉnh - đỉnh, UI		Tần số, Hz			
A1	A2	f1	f2	f3	f4
0,25	0,05	20	600	3000	20000
Chú ý: 0,25 UI = 3,9 $\mu$ s; 0,05 UI = 0,78 $\mu$ s					

*7.2.4 Giới hạn suy hao lối vào*

**Yêu cầu:** Cổng lối vào phải hiểu chính xác tín hiệu 64 kbit/s lối vào tuân theo các nguyên tắc mã hoá trong mục 7.1.1 sau khi qua đôi dây cáp với các đặc tính sau:

- a. Suy hao tuân theo luật  $\sqrt{f}$ , suy hao tại tần số 128 kHz nằm trong dải từ 0 tới 3 dB;
- b. Trở kháng đặc tính bằng  $120 \Omega \pm 20\%$  trong dải tần từ 200 kHz đến 1 MHz; bằng  $120 \Omega \pm 10\%$  tại 1 MHz.

**Phép đo:** Theo mục A.2.3.

*7.2.5 Miễn nhiệm với các phản xạ*

**Yêu cầu:**

- Không có lỗi xuất hiện khi tổ hợp của một tín hiệu thường và một tín hiệu nhiễu qua cáp nhân tạo có suy hao tại tần số 128 kHz nằm trong dải từ 0 tới 3 dB được đưa tới lối vào.

- Tín hiệu thường là chuỗi bit giả ngẫu nhiên độ dài  $2^{11}-1$  tuân theo quy định ở mục 2.1 của khuyến nghị ITU-T O.152 (tham khảo phụ lục B.3) và các nguyên tắc mã hoá trong mục 7.1.1, có dạng sóng thoả mãn các điều kiện trong hình 13 và 14.

- Tín hiệu nhiễu là tín hiệu có cùng dạng như tín hiệu danh định nhưng có mức thấp hơn so với tín hiệu danh định 20 dB với tốc độ 64 kbit/s  $\pm 100$  ppm, không đồng bộ với tín hiệu danh định.

**Phép đo:** Theo mục A.2.3.

*7.2.6 Suy hao phản xạ*

**Yêu cầu:** Suy hao phản xạ lối vào tương ứng với điện trở 120  $\Omega$  tại giao diện phải lớn hơn hoặc bằng các giá trị quy định trong bảng 8.

**Phép đo:** Theo mục A.2.4.

*Bảng 8: Suy hao phản xạ lối vào*

Tần số	Suy hao phản xạ
4 kHz tới 13 kHz	12 dB
13 kHz tới 256 kHz	18 dB
256 kHz tới 384 kHz	14 dB

*7.2.7 Trở kháng so với đất*

**Yêu cầu:** Khi thiết bị đầu cuối có nối đất, trở kháng so với đất của cổng lối vào phải lớn hơn 1000  $\Omega$  trong dải tần từ 10 Hz đến 1 MHz khi đo với điện áp tín hiệu thử hình sin có biên độ 2 V r.m.s.

**Phép đo:** Theo mục A.2.6.



### 7.2.8 Suy hao chuyển đổi dọc (LCL)

**Yêu cầu:** Khi thiết bị đầu cuối có nối đất, suy hao chuyển đổi dọc của cổng lối vào không nhỏ hơn các giá trị quy định trong bảng 9.

**Phép đo:** Theo mục A.2.7.

*Bảng 9: Suy hao chuyển đổi dọc cổng lối vào*

Tần số	Suy hao chuyển đổi dọc
3,4 kHz	40 dB
3,4 kHz tới 34 kHz	Giảm 20 dB/10 độ chia từ 40 dB xuống 20 dB
34 kHz tới 256 kHz	20 dB

*Ghi chú:* Đối với tín hiệu có tốc độ  $n \times 64$  kbit/s ( $n = 2 \div 31$ ) được định tuyến qua thiết bị ghép kênh 2048 kbit/s thì giao diện phải có cùng đặc tính điện/vật lý với giao diện 2048 kbit/s.

## PHỤ LỤC A

(Quy định)

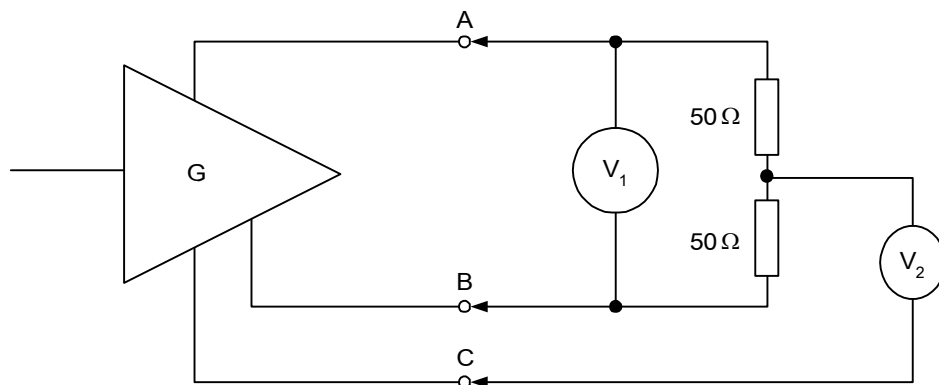
### A.1 Phương pháp đo các đặc trưng điện của giao diện V.11

#### A.1.1 Điện áp lệch một chiều của máy phát

Cấu hình đo: hình A.1.1.

Thực hiện:

- Mắc nối tiếp hai điện trở có giá trị  $50\ \Omega$  giữa hai điểm A và B.
- Đo điện áp giữa A và B, điện áp điểm giữa hai điện trở và điểm C trong hai trạng thái nhị phân “1” và “0”.
- Trong cả hai trường hợp, giá trị tuyệt đối của điện áp lệch một chiều không được lớn hơn 3 V. Thay đổi về giá trị tuyệt đối của biên độ điện áp lệch một chiều không lớn hơn 0,3 V.



Hình A.1.1: Đo điện áp lệch một chiều máy phát

#### A.1.2 Các tham số tĩnh

##### a) Hở mạch

Cấu hình đo: hình A.1.2a.

Thực hiện:

- Đo điện áp giữa A và B, giữa A và C, giữa B và C trong cả hai trường hợp trạng thái nhị phân là “1” và “0”.
- Trong cả hai trường hợp, giá trị tuyệt đối của các điện áp đo được phải nhỏ hơn hoặc bằng 6,0 V.

## b) Kết cuối

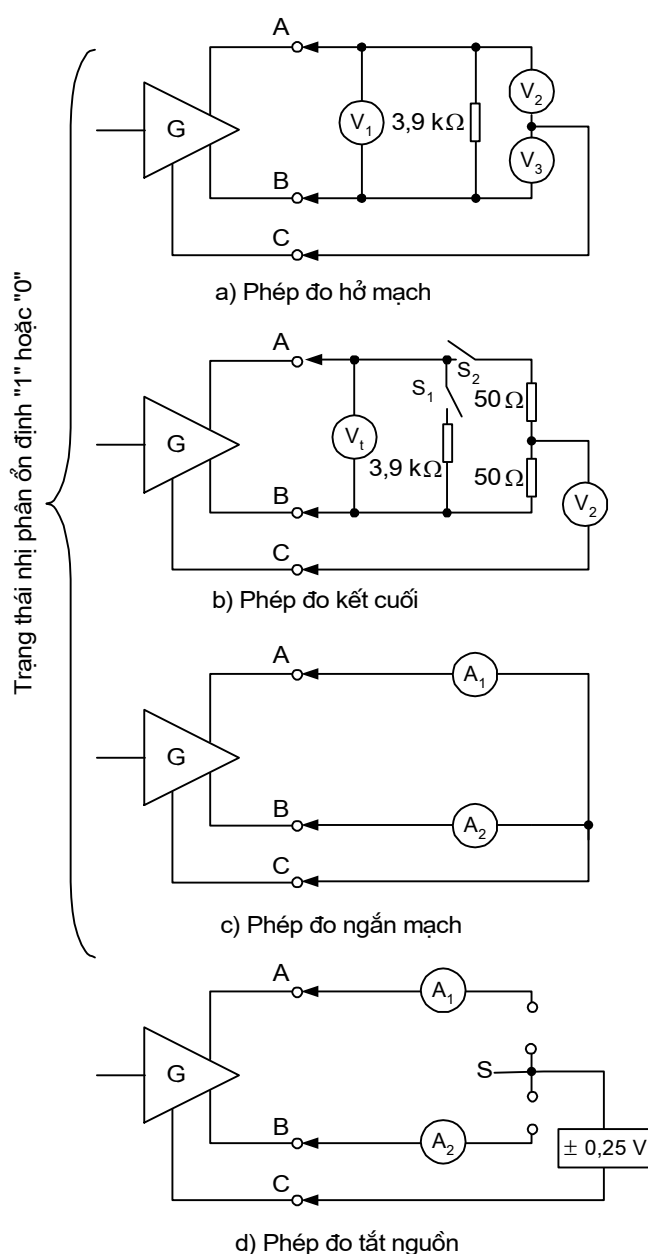
**Cấu hình đo:** hình A.1.2b.

**Thực hiện:**

- Công tắc  $S_1$  ở vị trí đóng, công tắc  $S_2$  ở vị trí mở. Đo điện áp giữa A và B bằng vôn kế  $V_1$ . Đây là giá trị  $V_0$ .

- Tiếp theo, công tắc  $S_1$  ở vị trí mở, công tắc  $S_2$  ở vị trí đóng.  $V_1$  chỉ giá trị điện áp  $V_t$ ,  $V_2$  chỉ giá trị điện áp  $V_{os}$ .

- Thực hiện các bước trên trong cả hai trường hợp trạng thái nhị phân là “1” và “0”.



Hình A.1.2: Đo các tham số tĩnh của máy phát

*c) Ngắt mạch*

**Cấu hình đo:** hình A.1.2c.

**Thực hiện:**

- Đo các giá trị dòng lối ra từ A đến C và từ B đến C trong cả hai trường hợp trạng thái nhị phân tín hiệu lối ra là “1” và “0”.
- Giá trị tuyệt đối dòng đo được phải nhỏ hơn  $150 \mu\text{A}$ .

*d) Ngắt nguồn*

**Cấu hình đo:** hình A.1.2d.

**Thực hiện:**

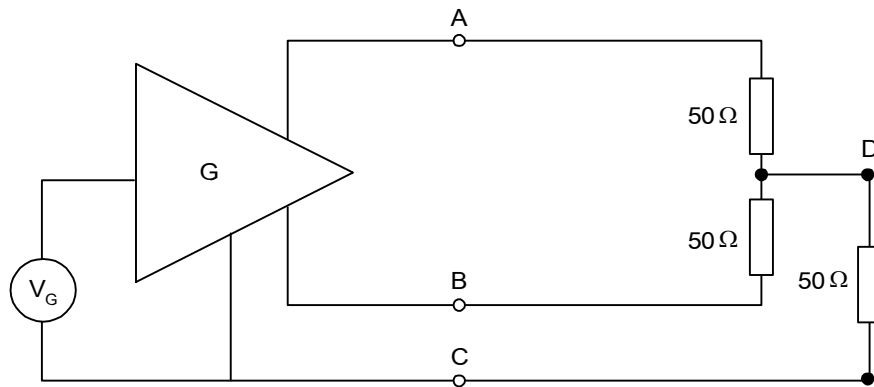
- Tắt nguồn máy phát;
- Đặt điện áp giữa mỗi đầu ra A, B và điểm C trong dải  $-0,25 \text{ V}$  tới  $+0,25 \text{ V}$ ;
- Đo dòng lối ra bằng các micro ampe kế  $A_1$  và  $A_2$ ;
- Giá trị tuyệt đối của dòng đo được phải nhỏ hơn  $100 \mu\text{A}$ .

**A.1.3 Độ cân bằng động điện áp và thời gian sườn lên của xung**

**Cấu hình đo:** hình A.1.3.

**Thực hiện:**

- Máy phát tạo tín hiệu lối vào gồm các xung “1” và “0” liên tiếp với độ rộng xung  $t_b$  có thể thay đổi được quanh giá trị  $200 \text{ ns}$ .
- Dùng máy hiện sóng đo dạng sóng giữa hai điểm A và B. Giá trị điện áp đỉnh - đỉnh giữa hai điểm A và B phải nhỏ hơn  $0,4 \text{ V}$ .
- Dùng máy hiện sóng đo dạng sóng giữa hai điểm C và D. Khi độ rộng xung danh định của tín hiệu thử,  $t_b \geq 200 \text{ ns}$ , thời gian sườn lên của xung đầu ra  $t_r \leq 0,1t_b$ . Khi  $t_b \leq 200 \text{ ns}$ , thời gian sườn lên của xung đầu ra  $t_r \leq 20 \text{ ns}$ .



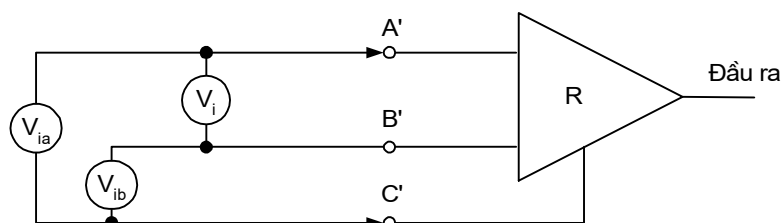
*Hình A.1.3: Đo cân bằng động điện áp thời gian sườn lên của xung*

### A.1.4 Độ nhạy tín hiệu lối vào DC

Cấu hình đo: hình A.1.4.

Thực hiện:

- Đặt các điện áp lối vào  $V_{ia}$ ,  $V_{ib}$  và điện áp  $V_i$  theo các giá trị quy định trong bảng A.1. Xác định giá trị nhị phân lối ra có tuân thủ theo bảng A.1 hay không.



Hình A.1.4: Đo độ nhạy tín hiệu lối vào DC

Bảng A.1: Các mức điện áp thử

Điện áp sử dụng (V)		Điện áp lối vào (V)	Trạng thái nhị phân lối ra
$V_{ia}$	$V_{ib}$		
-12	0	-12	Không xác định
0	-12	+12	
+12	0	+12	
0	+12	-12	
+10	+4	+6	0
+4	+10	-6	1
-10	-4	-6	1
-4	-10	+6	0
+0,30	0	+0,3	0
0	+0,30	-0,3	1
+7,15	+6,85	+0,3	0
+6,85	+7,15	-0,3	1
-7,15	-6,85	-0,3	1
-6,85	-7,15	+0,3	0

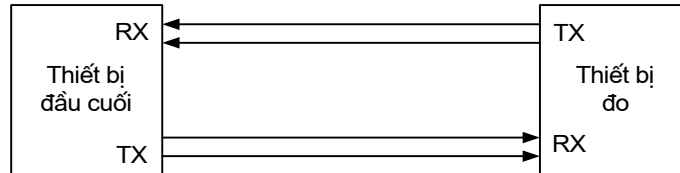
## A.2 Phương pháp đo các đặc trưng điện giao diện G.703 64 kbit/s

### A.2.1 Mã hoá tín hiệu tại cổng lối ra

Cấu hình đo: hình A.2.1

**Thực hiện:**

- Thiết bị đầu cuối phát luồng bit có cả bit nhị phân 1 và 0, ví dụ PRBS( $2^{11} - 1$ ).
- Dùng thiết bị đo giám sát luồng bit ra. Trong khoảng thời gian đo là 5 phút, tối thiểu có 1 phút không lỗi.



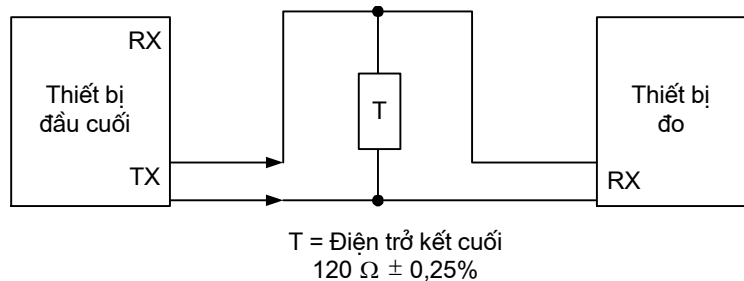
*Hình A.2.1: Đo mã hoá tín hiệu tại cổng lối ra*

**A.2.2 Dạng xung tại cổng lối ra**

**Cấu hình đo:** hình A.2.2.

**Thực hiện:**

- Thiết bị đầu cuối phát các xung có khoảng trống và dấu. Dùng thiết bị đo, đo biên độ và dạng các xung dương và âm (đo tại tâm khoảng thời gian xung) và độ rộng xung dương và âm (đo tại điểm giữa danh định biên độ xung, nghĩa là 0,5 V).
- Độ chính xác phép đo phải tốt hơn 30 mV. Thiết bị đo có khả năng ghi lại thành phần DC, băng thông lớn hơn hoặc bằng 200 MHz.



*Hình A.2.2: Đo dạng xung lối ra*

**A.2.3 Mã hoá, giới hạn suy hao lối vào và miễn nhiệm đối với các phản xạ**

**Cấu hình đo:** hình A.2.3.

**Thực hiện:**

- Máy đo và máy phát mẫu tạo các tín hiệu là chuỗi bit giả ngẫu nhiên độ dài ( $2^{11} - 1$ ) tuân theo quy định ở mục 2.1 của khuyến nghị ITU-T O.152 và các nguyên tắc mã hoá trong mục 7.1.1, có dạng sóng thoả mãn các điều kiện trong hình 13 và 14.
- Tín hiệu nhiễu từ máy phát mẫu có cùng dạng như tín hiệu thử với tốc độ 64 kbit/s  $\pm$  100 ppm, không đồng bộ với tín hiệu thử.
- Mạng kết hợp có trở kháng 120  $\Omega$ , tín hiệu nhiễu được đưa vào nhánh suy hao 20 dB của mạng, tín hiệu thử được đưa vào nhánh có suy hao 0 dB.

- Bộ mô phỏng cáp có suy hao 3 dB tại tần số 128 kHz và đặc tính suy hao tuân theo luật  $\sqrt{f}$ .

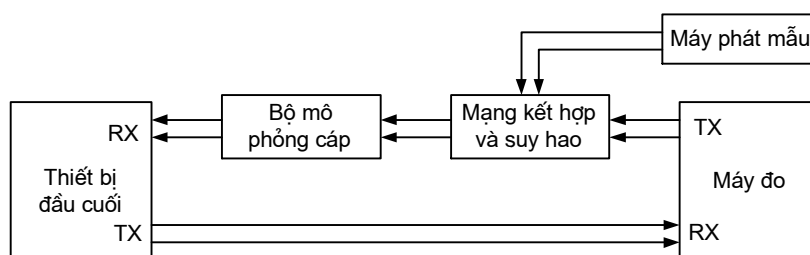
- Giám sát số liệu lỗi ra trong các điều kiện:

- Không có bộ mô phỏng cáp và tín hiệu nhiễu, có tín hiệu thử PRBS từ máy đo; và
- Có bộ mô phỏng cáp và không có tín hiệu nhiễu; và
- Không có bộ mô phỏng cáp và có tín hiệu nhiễu; và
- Có bộ mô phỏng cáp và có tín hiệu nhiễu.

+ Tráo dây nối tới thiết bị đầu cuối và lặp lại phép đo

+ Trong thời gian đo 5 phút, tối thiểu có 1 phút số liệu thu được từ thiết bị đầu cuối giống với tín hiệu được tạo ra.

*Chú ý:* Luật  $\sqrt{f}$  của bộ mô phỏng cáp được áp dụng trong dải tần từ 100 kHz tới 1 MHz.



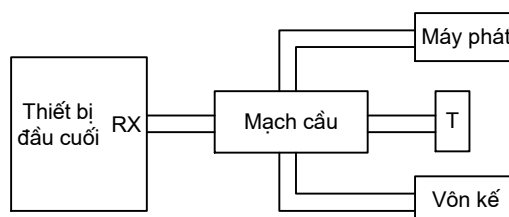
Hình A.2.3: Đo giới hạn suy hao lối vào và tính miễn nhiễm đối với các phản xạ

#### A.2.4 Suy hao phản xạ tại cổng lối vào

**Cấu hình đo:** hình A.2.4.

**Thực hiện:**

- Máy phát tạo tín hiệu thử hình sin có biên độ đỉnh 1 V tần số giữa 4 kHz và 384 kHz.
- Đo điện áp tại một nhánh cầu bằng vôn kế chọn tần cốp băng thông nhỏ hơn 1 kHz.
- Giá trị suy hao phản xạ đo được phải lớn hơn hoặc bằng các giá trị cho trong bảng 8.



T: Điện trở kết cuối,  $120 \Omega \pm 0,25\%$

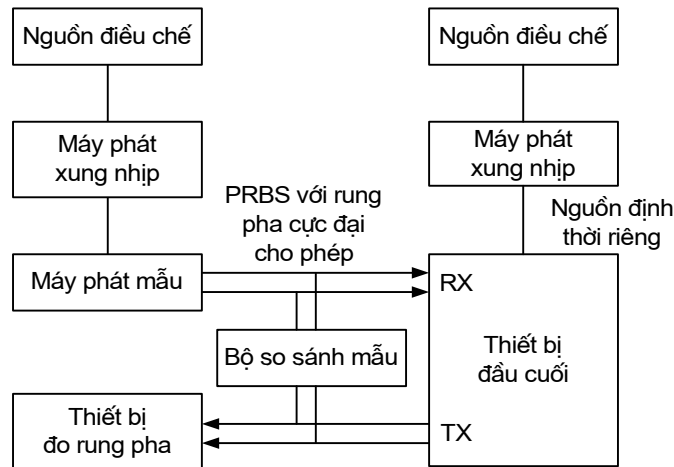
Hình A.2.4: Đo suy hao phản xạ tại cổng lối vào

**A.2.5 Rung pha lối vào và ra**

**Cấu hình đo:** hình A.2.5.

**Thực hiện:**

- Thiết bị đầu cuối có thể cấu hình như sau:
    - + Định thời lối ra chuẩn theo xung nhịp nội, hoặc
    - + Định thời lối ra chuẩn theo nguồn xung nhịp ngoài bất kỳ.
  - Nguồn điều chế có thể ở trong máy phát xung nhịp hoặc máy phát mẫu. Máy phát mẫu tạo tín hiệu chuỗi giả ngẫu nhiên  $2^{11}-1$ . Phép đo thực hiện với tốc độ số liệu danh định 64 kbit/s. Có thể cần thiết đồng bộ máy phát mẫu với:
    - + Cổng lối ra thiết bị đầu cuối khi thiết bị đầu cuối hoạt động ở chế độ nguồn xung nhịp nội, hoặc
    - + Với nguồn đồng bộ ngoài khi thiết bị đầu cuối đồng bộ theo nguồn này để tránh khả năng xảy ra các trượt.
  - Nguồn điều chế cho lối vào tín hiệu thiết bị đầu cuối tạo ra các thành phần rung pha hình sin tại các điểm trên đồ thị hình 15 và bảng 7.
- Trong thời gian đo, yêu cầu không có lỗi bit xuất hiện, giá trị rung pha đỉnh - đỉnh tuân theo bảng 5.



Hình A.2.5: Đo rung pha vào và ra

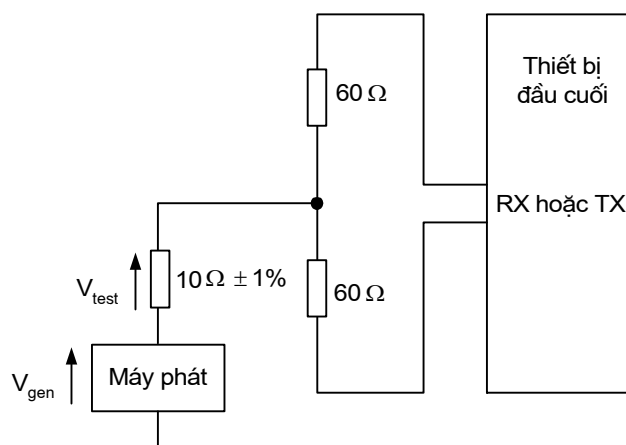
**A.2.6 Trở kháng so với đất**

**Cấu hình đo:** hình A.2.6.

**Thực hiện:**

- Máy phát tạo tín hiệu hình sin ( $V_{gen}$ ) biên độ  $2V_{r.m.s} \pm 20 mV$ , dải tần từ 10 Hz tới 1 MHz. Đo điện áp thử  $V_{test}$ .
- Giá trị  $V_{test}$  phải nhỏ hơn  $19,2 V_{r.m.s}$ .





Hình A.2.6: Đo trở kháng so với đất

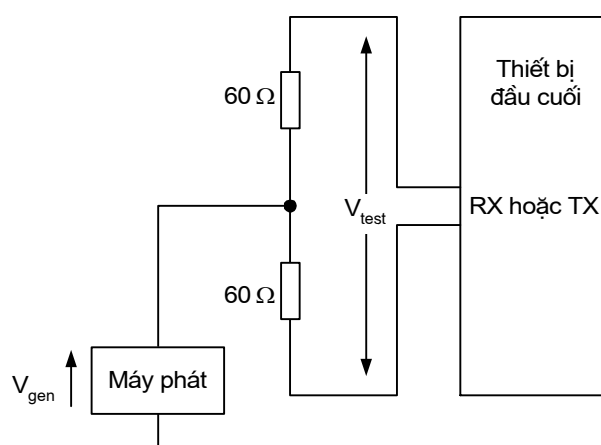
### A.2.7 Suy hao chuyển đổi dọc

Cấu hình đo: hình A.2.7.

Thực hiện:

- Máy phát tạo tín hiệu thử hình sin ( $V_{gen}$ ) điện áp 1 V r.m.s  $\pm$  10 mV, tần số bất kỳ trong dải từ 3,4 kHz tới 256 kHz.

- Suy hao chuyển đổi dọc  $20 \log(V_{gen} / V_{test})$  phải lớn hơn hoặc bằng các giá trị cho trong bảng 6 và bảng 9.



Hình A.2.7: Đo suy hao chuyển đổi dọc

## A.3 Phương pháp đo các đặc trưng điện tại giao diện V.35

Tương tự như phương pháp đo các đặc trưng điện tại giao diện V.11.

## A.4 Các mạch trao đổi tại giao diện

### A.4.1 Giao diện V.35

Các mạch trao đổi tại giao diện V.35 tuân thủ theo bảng A.4.1.

*Bảng A.4.1: Các mạch trao đổi tại giao diện V.35*

<b>Ký hiệu</b>	<b>Chức năng</b>
102	Đặt tín hiệu
103	Số liệu phát
104	Số liệu thu
105	Yêu cầu phát
106	Sẵn sàng phát
107	Mạch số liệu sẵn sàng
109	Phát hiện có tín hiệu đường dây trên kênh số liệu
114	Nhịp tín hiệu phát
115	Nhịp tín hiệu thu

#### **A.4.2 Giao diện V.11**

Các mạch trao đổi tại giao diện V.11 tuân thủ theo bảng A.4.2

*Bảng A.4.2: Các mạch trao đổi tại giao diện V.11*

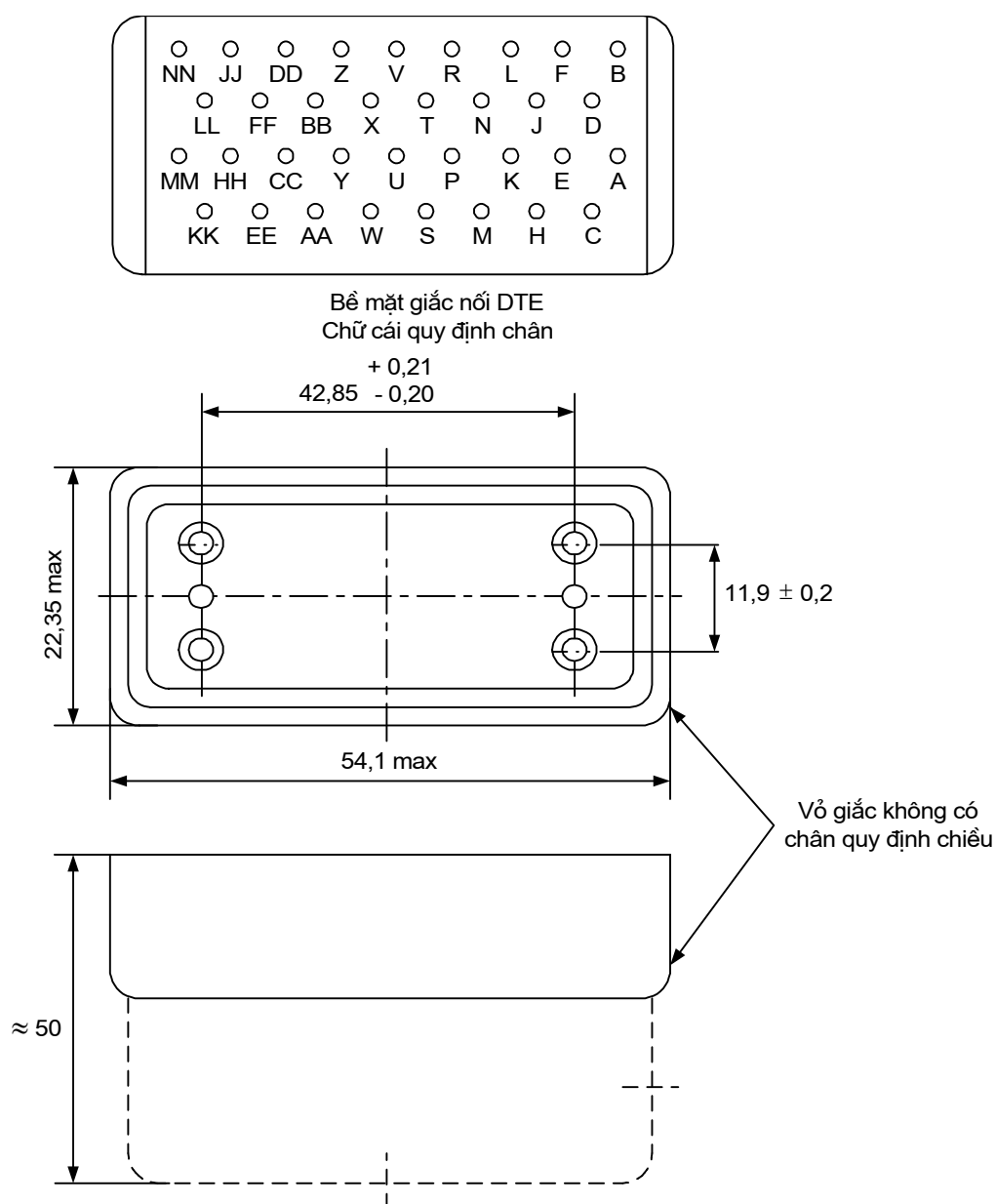
<b>Ký hiệu</b>	<b>Chức năng</b>
102	Đặt tín hiệu
103	Số liệu phát
104	Số liệu thu
105	Yêu cầu phát
106	Sẵn sàng phát
107	Mạch số liệu sẵn sàng
109	Phát hiện có tín hiệu đường dây trên kênh số liệu
113	Nhịp tín hiệu phát (nguồn DTE)
114	Nhịp tín hiệu phát (nguồn DCE)
115	Nhịp tín hiệu thu (nguồn DCE)
140	Đấu vòng, kiểm tra bảo dưỡng
141	Đấu vòng nội bộ
142	Báo hiệu kiểm tra

## PHỤ LỤC B

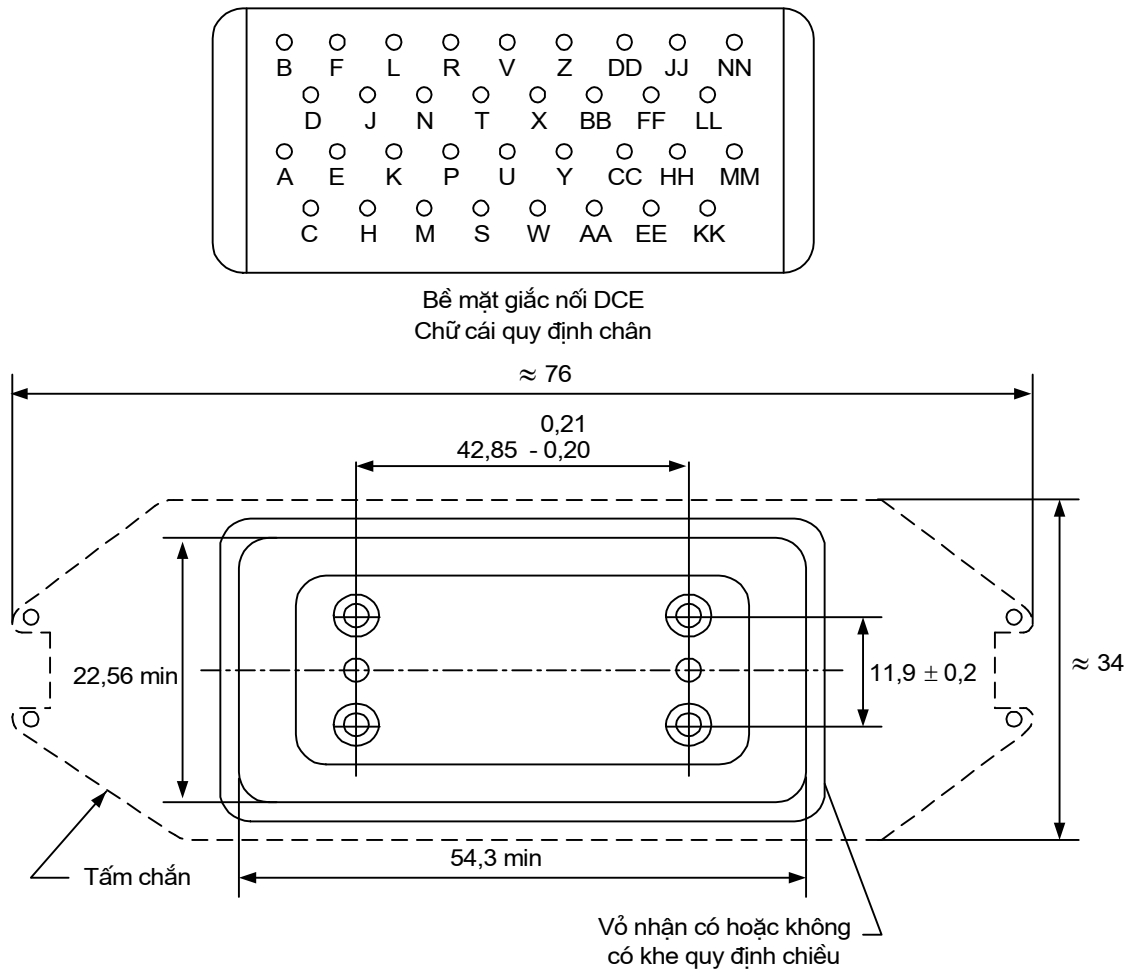
(Tham khảo)

### B.1 Các loại giắc nối

#### B.1.1 Giắc nối 34 chân theo tiêu chuẩn ISO 2593 (M34)



Hình B.1.1.1: Giắc nối DTE (kích thước theo mm)



Hình B.1.1.2: Giắc nối DCE (kích thước theo mm)

Bảng B.1.1.1: Quy định chân nối của giắc nối 34 chân ISO 2593

Chân*	Chức năng**	Ký hiệu mạch theo ITU-T	Hướng
A	Chú ý 1	-	-
B	Đất tín hiệu	102	Chung
C	Yêu cầu phát	105	Từ DTE
D	Sẵn sàng phát	106	Tới DTE
E	Mạch số liệu sẵn sàng	107	Tới DTE
F	Phát hiện tín hiệu đường dây trên kênh số liệu	109	Tới DTE
H	Nối số liệu tới đường dây hoặc Đầu cuối số liệu sẵn sàng (chú ý 2)	108/1 108/2	Từ DTE Từ DTE
J	Chỉ thị gọi (chú ý 2)	125	Tới DTE
K	F1	-	-

Chân*	Chức năng**	Ký hiệu mạch theo ITU-T	Hướng
L	Đấu vòng nội bộ (chú ý 2)	-	-
N	Đấu vòng/Kiểm tra bảo dưỡng (chú ý 2)	140	Từ DTE
R	Số liệu thu dây A	104	Từ DTE
T	Số liệu thu dây B	104	Từ DTE
V	Nhịp tín hiệu thu dây A	115	Tới DTE
X	Nhịp tín hiệu thu dây B	115	Tới DTE
Y	Nhịp tín hiệu phát dây A	114	Tới DTE
AA	Nhịp tín hiệu phát dây B	114	Tới DTE
P	Số liệu phát dây A	103	Từ DTE
S	Số liệu phát dây B	103	Từ DTE
U	Nhịp tín hiệu phát dây A (chú ý 2)	113	Từ DTE
Z	F <sub>2</sub>	-	-
W	Nhịp tín hiệu phát dây B (chú ý 2)	113	Từ DTE
BB	F <sub>2</sub>	-	-
CC	F <sub>3</sub>	-	-
DD	F <sub>4</sub>	-	-
EE	F <sub>3</sub>	-	-
FF	F <sub>4</sub>	-	-
HH	N <sub>1</sub>	-	-
JJ	N <sub>2</sub>	-	-
KK	N <sub>1</sub>	-	-
LL	N <sub>2</sub>	-	-
MM	F	-	-
NN	Chỉ thị kiểm tra (chú ý 2)	142	Tới DTE

\*N = Dùng dành riêng cho quốc gia

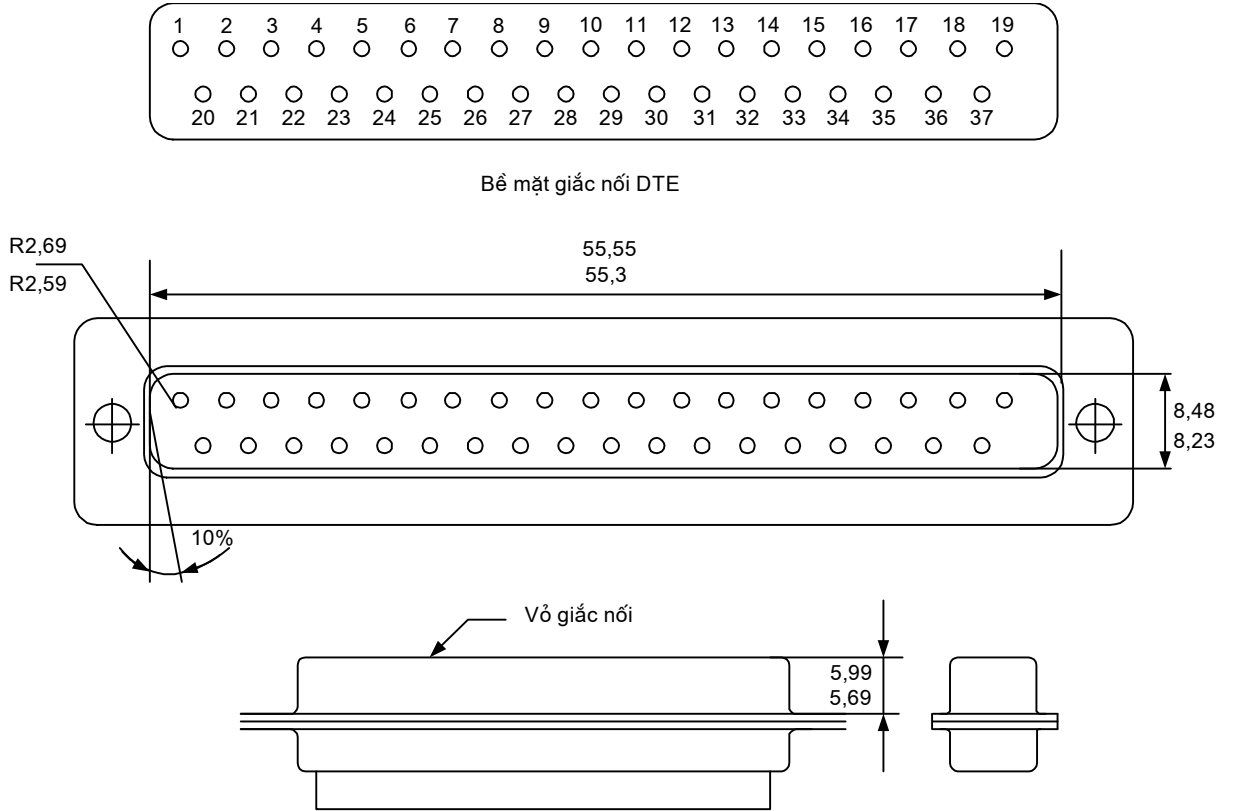
F = Dành riêng cho các tiêu chuẩn quốc tế tương lai, không dùng cho quốc gia.

**Chú ý:**

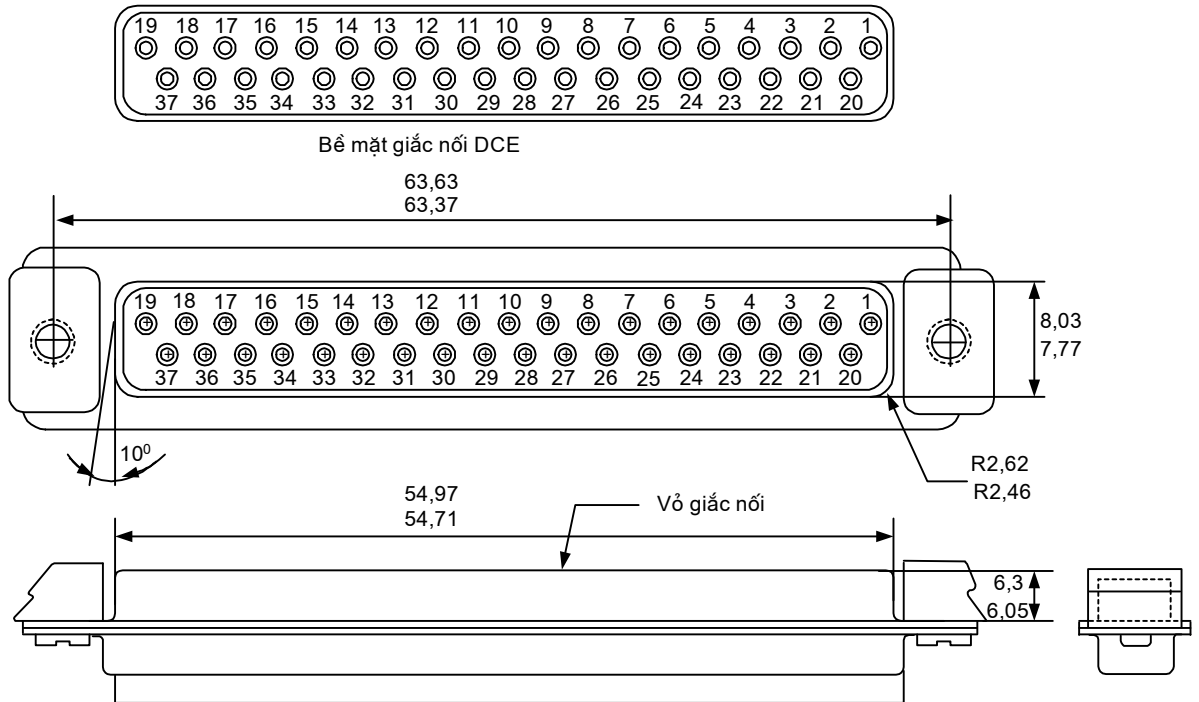
1. Chân A dành để nối các màn chắn của cáp giao diện. Màn chắn có thể nối tới đất bảo vệ hoặc đất tín hiệu tại DTE hay DCE theo các quy định quốc gia. Đất tín hiệu có thể nối với đất bảo vệ tùy theo quy định quốc gia. Cần chú ý tránh các mạch vòng đất có dòng cao.

2. Các chức năng này không có trong khuyến nghị V.35.

**B.1.2 Giắc nối 37 chân theo tiêu chuẩn ISO 4902 (DB37)**



Hình B.1.2.1: Giắc nối DTE (kích thước theo mm)



Hình B.1.2.2: Giắc nối DCE (kích thước theo mm)

Bảng B.1.2.1: Quy định chân nối của giắc nối 37 chân ISO 4902

Hàng chân phía trên <sup>2)</sup>			Hàng chân phía dưới <sup>2)</sup>			Loại máy thu <sup>4)</sup>	Hướng tới	
Chân số	Mạch số	Điểm trao đổi <sup>3)</sup>	Chân số	Mạch số	Điểm trao đổi <sup>3)</sup>		DTE	DCE
1	<sup>1)</sup>					-	-	
2	N	A-A'	20	102b	C-B'	2	×	
3	N	A-A'	21	N	B/C-B'	1	×	
4	103	A-A'	22	103	B/C-B'	1		×
5	114	A-A'	23	114	B/C-B'	1	×	
6	104	A-A'	24	104	B/C-B'	1		×
7	105	A-A'	25	105	B/C-B'	1		×
8	115	A-A'	26	115	B/C-B'	1	×	
9	106	A-A'	27	106	B/C-B'	1	×	
10	141	A-A'	28	N	A-A'	2		×
11	107	A-A'	29	107	B/C-B'	1	×	
12	108*	A-A'	30	108*	B/C-B'	1	×	
13	109	A-A'	31	109	B/C-B'	1	×	
14	140	A-A'	32	N	A-A'	2		×
15	N	A-A'	33	N	A-A'	2	×	
16	111	A-A'	34	N	A-A'	2		×
17	113	A-A'	35	113	B/C-B'	1		×
18	142	A-A'	36	N	A-A'	2	×	
19	102	C-C'	37	102a	C-B'			×

N - Chân dùng dành riêng cho quốc gia

\* - Mạch 108/1 hoặc 108/2 (nếu có một trong hai)

**Chú ý:**

1. Chân 1 dành để nối các màn chắn của cáp giao diện. Màn chắn có thể nối tới đất bảo vệ hoặc đất tín hiệu tại DTE hay DCE theo các quy định quốc gia. Đất tín hiệu có thể nối với đất bảo vệ tùy theo quy định quốc gia. Cần chú ý tránh các mạch vòng đất có dòng cao.
2. Các chân của mỗi hàng được sắp xếp để tạo cặp nối với cáp nhiều đôi. Mỗi hàng trong bảng biểu thị các chân tạo cặp tương ứng, ví dụ 2 và 20, 3 và 21.
3. A, A, B, B', C và C' chỉ thị các điểm trao đổi trong hình 2 của khuyến nghị V.10 và V.11. Trong bảng này B/C có nghĩa gán là B khi sử dụng máy phát V.11 và gán là C khi sử dụng máy phát V.10.
4. Các loại máy thu quy định trong V.10. Loại máy thu 1 có nghĩa là có thể sử dụng các máy phát V.10 hoặc V.11. Chỉ các máy phát V.11 sử dụng cho các mạch 103, 104, 114, 115. Loại máy thu 2 có nghĩa là sử dụng các máy phát V.10.

**B.1.3 Giắc nối loại 8 chân theo tiêu chuẩn ISO/IEC 10173**

*Bảng B.1.3.1: Qui định chân cắm*

Tiếp điểm	Giao diện với thiết bị
1 và 2	Đôi dây thu
3	Điểm nối vỏ (nếu có)
4 và 5	Đôi dây phát
6	Điểm nối vỏ (nếu có)
7	Không sử dụng
8	Không sử dụng

**B.2 Bảng tóm tắt các yêu cầu kỹ thuật**

Điều khoản	Nội dung điều khoản	Yêu cầu	Tham chiếu đến các tiêu chuẩn khác	
			Mục	Tên
<b>4</b>	<b>Yêu cầu kỹ thuật chung</b>			
4.1	Các yêu cầu về an toàn điện và tương thích điện từ trường			
4.1.1	Đảm bảo quá áp quá dòng	Tuân thủ TCN 68 - 140: 1995	3.2.7	TCN 68 -140: 1995
4.1.2	Đảm bảo an toàn cho khai thác viên và người sử dụng	Tuân thủ TCN 68 - 190: 2000	3.2	TCN 68 -190: 2000
4.1.3	Bảo vệ người sử dụng khỏi quá áp trên mạng viễn thông	Tuân thủ TCN 68 - 190: 2000	3.2	TCN 68 - 190: 2000
4.1.4	Yêu cầu về tương thích điện từ trường	Tuân thủ TCN 68 - 191: 2000		TCN 68 - 191: 2000
4.2	Điểm kết nối mạng			
4.2.1	Vị trí	Hình 1		
4.2.2	Yêu cầu	Nguồn 220 V (AC) ± 10% hoặc 48 V (DC) ± 10%		
4.2.3	Loại kết nối	Tuỳ thuộc giao diện sử dụng		ISO 4902 ISO 2593 ISO/IEC 10173
4.3	Các yêu cầu tại giao diện			
4.3.1	Loại giao diện	V.35; V.11 hoặc G.703 64 kbit/s		
4.3.2	Tốc độ số liệu và định thời			
4.3.2.1	Tốc độ số liệu	$n \times 64 \text{ kbit/s}$ ( $n = 1 \div 31$ )		
4.3.2.2	Định thời	TTE phải có khả năng hoạt động trong cả hai chế độ định thời tứ (mặc định) và chủ (tuỳ chọn)		
4.3.3	Các mạch trao đổi tại giao diện			



Điều khoản	Nội dung điều khoản	Yêu cầu	Tham chiếu đến các tiêu chuẩn khác	
			Mục	Tên
<b>5</b>	<b>Đặc trưng điện của mạch trao đổi giao diện V.11</b>			
5.1	Đặc trưng điện của mạch trao đổi cân bằng	Tuân thủ Khuyến nghị V.11		ITU-T V.11
5.1.1	Mạch trao đổi tương đương	Hình 2	3	ITU-T V.11
5.1.2	Các trạng thái tín hiệu		4	ITU-T V.11
5.1.2.1	Máy phát	Điện áp giữa các điểm A và B trong hình 2	4.1	ITU-T V.11
5.1.2.2	Máy thu	Bảng 1	4.2	ITU-T V.11
5.1.3	Máy phát		5	ITU-T V.11
5.1.3.1	Điện trở và điện áp lệch một chiều	Điện trở $\leq 100 \Omega$ Điện áp lệch $\leq 3,0 \text{ V}$	5.1	ITU-T V.11
5.1.3.1	Các tham số tĩnh		5.2	ITU-T V.11
a)	Hở mạch	$ V_0  \leq 6,0 \text{ V}$ $ V_{0a}  \leq 6,0 \text{ V}$ $ V_{0b}  \leq 6,0 \text{ V}$	5.2.1	ITU-T V.11
b)	Kết cuối	$ V_t  \geq 2 \text{ V}$ $0,5 V_0 \leq  V_t $ $  V_t  -  -V_t   < 0,4 \text{ V}$ $ V_{0s}  \leq 3,0 \text{ V}$ $ V_{0s}(1) - V_{0s}(0)  < 0,4 \text{ V}$	5.2.2	ITU-T V.11
c)	Ngắn mạch	$ I_{sa}  < 150 \text{ mA}$ $ I_{sb}  < 150 \text{ mA}$	5.2.3	ITU-T V.11
d)	Ngắt nguồn	$ I_{xa}  < 100 \mu\text{A}$ $ I_{xb}  < 100 \mu\text{A}$	5.2.4	ITU-T V.11
5.1.3.3	Độ cân bằng động điện áp và thời gian sườn lên của xung	$V_E < 0,4 \text{ V}$ $t_b \geq 200 \text{ ns}$ , $t_r \leq 0,1t_b$ $t_b < 200 \text{ ns}$ , $t_r \leq 20 \text{ ns}$	5.3	ITU-T V.11
5.1.4	Tải		6	ITU-T V.11
5.1.4.1	Các đặc tính	Xác định theo các tham số hình 6 và 7	6.1	ITU-T V.11
5.1.4.2	Dòng-điện áp lỗi vào máy thu	Xác định trong hình 6	6.2	ITU-T V.11
5.1.4.3	Độ nhạy lỗi vào DC	Xác định trong bảng 2	6.3	ITU-T V.11
5.1.4.4	Cân bằng lỗi vào	TTE duy trì ổn định trạng thái trong các điều kiện ở hình 8 và:	6.4	ITU-T V.11

**TCN 68 - 216: 2002**

Điều khoản	Nội dung điều khoản	Yêu cầu	Tham chiếu đến các tiêu chuẩn khác	
			Mục	Tên
		a) $V_i = +720 \text{ mV}$ $V_{cm}: -7 \text{ V} \div +7 \text{ V}$ b) $V_i = -720 \text{ mV}$ $V_{cm}: -7 \text{ V} \div +7 \text{ V}$ c) $V_i = +300 \text{ mV}$ $V_{cm}: = 1,5 \text{ V (đỉnh - đỉnh)}$ d) $V_i = -300 \text{ mV}$ $V_{cm} = 1,5 \text{ V (đỉnh - đỉnh)}$		
5.1.4.5	Kết cuối	$Z < 100 \Omega$	6.5	ITU-T V.11
5.2	Đặc trưng điện của mạch trao đổi không cân bằng	Tuân thủ theo Khuyến nghị V.28		ITU-T V.28
5.2.1	Mạch trao đổi tương đương	Hình 9	2	ITU-T V.28
5.2.2	Tải	$3000 \Omega < R_L < 7000 \Omega$ $C_L \leq 2500 \text{ pF}$	3	ITU-T V.28
5.2.3	Máy phát	$V_0 \leq 15 \text{ V}$	4	ITU-T V.28
5.2.4	Các mức có nghĩa	Bảng 3	5	ITU-T V.28
5.2.5	Các đặc trưng tín hiệu		6	ITU-T V.28
<b>6</b>	<b>Đặc trưng điện của giao diện V.35</b>			ITU-T V.35
6.1	Đặc trưng điện của mạch trao đổi cân bằng		Phụ lục II	ITU-T V.35
6.1.1	Máy phát		II.3	ITU-T V.35
a)	Trở kháng	$50 \div 150 \Omega$	a)	ITU-T V.35
b)	Điện trở giữa các đầu cuối ngắn mạch và mạch 102	$150 \pm 15 \Omega$	a)	ITU-T V.35
c)	Điện áp đầu cuối - đầu cuối	$0,55 \text{ V} \pm 20\%$	b)	ITU-T V.35
d)	Thời gian tăng từ 10 ÷ 90% của bất kỳ sự thay đổi trạng thái mục c)	Nhỏ hơn giá trị lớn nhất trong hai giá trị 1% độ rộng xung danh định hoặc 40 ns	c)	ITU-T V.35
e)	Điện áp lệch một chiều	$\leq 0,6 \text{ V}$	e)	ITU-T V.35
6.1.2	Tải		II.4	ITU-T V.35
a)	Trở kháng lối vào	$100 \pm 10 \Omega$	a)	ITU-T V.35
b)	Điện trở giữa các đầu cuối ngắn mạch và mạch 102	$150 \pm 15 \Omega$	b)	ITU-T V.35
6.1.3	Cáp	Cáp kim loại nhiều đôi cân bằng trở kháng 80 ÷ 120 $\Omega$	II.5	ITU-T V.35
<b>7</b>	<b>Đặc trưng điện của giao diện G.703 64 kbit/s</b>		5.2	ETSI EN 300 290
7.1	Cổng lối ra		5.2.1	ETSI EN 300 290
7.1.2	Mã hoá tín hiệu		4.2.1.1	ITU-T G.703

Điều khoản	Nội dung điều khoản	Yêu cầu	Tham chiếu đến các tiêu chuẩn khác	
			Mục	Tên
7.1.2	Dạng sóng	Bảng 4, hình 13 và 14	5.2.1.2	ETSI EN 300 290
7.1.3	Định thời lối ra	- Từ phía thu - Từ nguồn ngoài	5.2.1.3	ETSI EN 300 290
7.1.4	Rung pha lối ra	Bảng 5	5.2.1.4	ETSI EN 300 290
7.1.5	Trở kháng so với đất	> 1000 Ω	5.2.15	ETSI EN 300 290
7.1.6	Suy hao chuyển đổi dọc	Bảng 6	5.2.1.6	ETSI EN 300 290
7.2	Cổng lối vào		5.2.2	ETSI EN 300 290
7.2.1	Mã hoá tín hiệu	Như mục 7.1.1	5.2.2.1	ETSI EN 300 290
7.2.3	Giới hạn rung pha lối vào	Hình 15 và bảng 7	5.2.2.3	ETSI EN 300 290
7.2.4	Giới hạn suy hao lối vào		5.2.5.5	ETSI EN 300 290
7.2.5	Miễn nhiệm với các phản xạ		5.2.5.6	ETSI EN 300 290
7.2.4	Suy hao phản xạ	Bảng 8	5.2.2.4	ETSI EN 300 290
7.2.5	Trở kháng so với đất	> 1000 Ω	5.2.2.5	ETSI EN 300 290
7.2.6	Suy hao chuyển đổi dọc	Bảng 9	5.2.2.6	ETSI EN 300 290

### B.3 Chuỗi bit giả ngẫu nhiên dài $2^{11} - 1$ (2047 bit)

Chuỗi bit giả ngẫu nhiên này thường được sử dụng trong các phép đo lỗi và rung pha trên các mạch hoạt động với tốc độ 64 kbit/s và  $n \times 64$  kbit/s.

Chuỗi bit này được phát đi từ một thanh ghi dịch 11 tầng trong đó các đầu ra của tầng thứ 9 và 11 được cộng mô-đun 2 với nhau, kết quả sau đó được đưa trở lại đầu vào của tầng thứ nhất.

Số tầng của thanh ghi dịch: 11

Độ dài của chuỗi bit giả ngẫu nhiên:  $2^{11} - 1 = 2047$  bit

Độ dài chuỗi toàn mức 0 dài nhất: 10

## **FOREWORD**

The Technical Standard TCN 68 - 216: 2002 "**Terminal equipment connected to the public telecommunications networks (PTNs) using digital leased circuits at data rates of N×64 kbit/s - technical requirements**" is based on the Recommendations V.11, V.28 and V.35 of the Telecommunications Standardization Sector of ITU (ITU-T) and the standard ETSI EN 300 290.

To provide users with necessary information, appendix B1 (Types of connectors) and B2 (Reference table of equivalent international standards) are appended.

The Technical Standard TCN 68 - 216: 2002 is drafted by Research Institute of Posts and Telecommunications (RIPT) at the proposal of Department of Science & Technology of Ministry of Posts and Telematics. The technical standard is adopted by the Decision No. 34 /QD-BBCVT of the Minister of Posts and Telematics dated 31/12/2002.

The Technical Standard TCN 68 - 216: 2002 is issued in a bilingual document (Vietnamese version and English version). In cases of interpretation disputes, Vietnamese version is applied.

**DEPARTMENT OF SCIENCE & TECHNOLOGY**

**TERMINAL EQUIPMENT CONNECTED TO THE PUBLIC  
TELECOMMUNICATIONS NETWORKS (PTNS) USING DIGITAL  
LEASED CIRCUITS AT DATA RATES OF  $N \times 64$  kbit/s**

**TECHNICAL REQUIREMENTS**

*(Issued together with Decision No 34/2002/QD-BBCVT of December 31, 2002  
of the Minister of Posts and Telematics)*

**1. Scope**

The technical standard TCN 68 - 216:2001 specifies the minimum requirements of physical and electrical characteristics of digital interface connects terminal equipment (TTE) to the PTNs using digital leased circuits at data rates in multiples of 64 kbit/s ( $n \times 64$  kbit/s,  $n = 1 \div 31$ ).

The technical standard TCN 68 - 216: 2002 is used as one of the basis to type approval of TTE and so as to interwork with network.

The technical standard TCN 68 - 216: 2002 does not mention the requirements of electrical safety and electromagnetic compatibility. These requirements are specified in TCN 68 - 190: 2000 and TCN 68 - 191: 2000.

**2. References**

- [1] ETSI EN 300.290: 2001: *“Access and Terminal (AT) 64 kbit/s digital unrestricted leased line with octet integrity (D64U); Terminal equipment interface”*.
- [2] ITU-T Recommendation V.11: *“Electrical characteristics for balanced double-current interchange circuits operating at data signaling rates up to 10 Mbit/s”*; 1996.
- [3] ITU-T Recommendation V.28: *“Electrical characteristics for unbalanced double-current interchange circuits”*; 1996.
- [4] ITU-T Recommendation V.35: *“Data transmission at 48 kbit/s using 60-108 kHz group band circuits”*; 1996.
- [5] ITU-T Recommendation G.703: *“Physical/electrical characteristics of hierarchical digital interfaces”*; 1998.

- [6] ISO/IEC 2593: 1993: “*Information technology - Telecommunications and information exchange between systems - 34 pole DTE/DCE interface connector mateability dimensions and contact number assignments*”.
- [7] ISO/IEC 4902: 189: “*Information technology - Data communication - 37 pole DTE/DCE interface connector and contact number assignments*”.
- [8] HKTA 2030. *Network Connection specification for connection of Customer Premises Equipment (CPE) to the public telecommunications network (PTNs) using digital leased circuits at data rates of  $n \times 64$  kbit/s; March 1999.*

### **3. Definitions and Abbreviations**

#### **3.1 Definitions**

*Leased lines:* Telecommunications facilities provided by a public telecommunications network that provide defined transmission characteristics between network termination points and that do not include switching functions that the user can control, (e.g. on-demand switching).

*Network Termination Point (NTP):* All physical connections and their technical access specifications which form part of the public telecommunications network and are necessary for access to and efficient communication through that public network.

*Telecommunications Terminal Equipment (TTE):* Equipment intended to be connected to a public or private telecommunications network, i.e.: to be connected directly to the termination of a public telecommunications network, or to interwork with a telecommunications network being connected directly or indirectly to the termination of a telecommunications network in order to send, process, or receive information.

#### **3.2 Abbreviations**

ASD	Adverse Circuit Detector
DC	Direct Current
DCE	Data Circuit Terminal Equipment
DTE	Data Termination Equipment
EMC	Electro-Magnetic Compatibility
IP	Interconnection Point
LCL	Longitudinal Conversion Loss
NTP	Network Termination Point
ppm	parts per million

PRBS( $2^{11} - 1$ )	Pseudo Random Bit Sequence (as defined in clause 2.1 of ITU-T Recommendation O.152)
PTN	Public Telecommunications Network
r.m.s	root mean square
TTE	Telecommunications Terminal Equipment
UI	Unit Interval

## 4. General technical Requirements

### 4.1 Interconnection point

#### 4.1.1 Location

See figure 1.

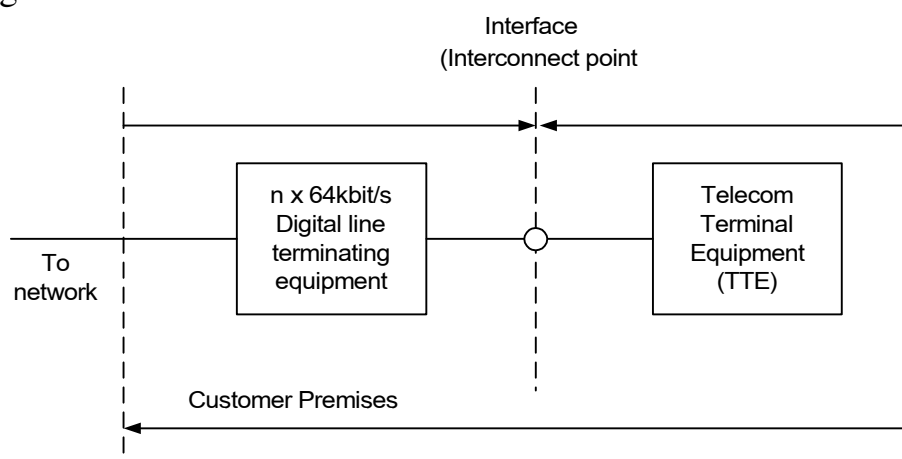


Figure 1: Interconnection of TTE with  $n \times 64$  kbit/s digital interface at interconnection point

#### 4.1.2 Requirement

Interconnection point with the digital leased circuits at  $n \times 64$  kbit/s will require the installation of operator's equipment and cabling in customer premises. Either a mains power supply at 220 V(AC)  $\pm 10\%$  taken from the same point in the building distribution as the TTE or a suitable power supply at 48 V (DC)  $\pm 10\%$  should be provided by the customer.

#### 4.1.3 Type of connector

The connector used for connecting the TTE to the socket at the IP will depend on type of interface used:

- 34 pole ISO 2593 (M34) connector will be used for V.35 interface;
- 37 pole ISO 4902 (DB37) connector will be used for V.11 interface;
- ISO/IEC 10173 connector will be used for G.703 64 kbit/s interface.

## ***4.2 Interface electrical requirements***

### *4.2.1 Type of interface*

Digital interface of TTE at interconnection point shall conform to either one of following ITU-T recommendations:

- a. V.35;
- b. V.11 or
- c. G.703 64 kbit/s.

### *4.2.2 Data rate and timing*

#### *4.2.2.1 Data rate*

TTE shall be capable of operating with a data rate of  $n \times 64$  kbit/s, with  $n$  being an integer between 1 and 31 inclusive and tolerance of  $\pm 100$  ppm.

#### *4.2.2.2 Timing*

- TTE shall operate in slave timing by default and in master timing as an optional arrangement.

- The terminal equipment interface is for use with 64 kbit/s leased lines, which provide bi-directional, point - to - point connections where the leased line output timing is provided from the network. The interface timing arrangements are codirectional.

## **5. Electrical characteristics of interchange circuits for V.11 interface**

### ***5.1 Electrical characteristics of balanced interchange circuits***

Electrical characteristics of balanced interchange circuits (103, 104, 113, 114 and 115 circuits in table 2) shall be in accordance with ITU-T recommendation V.11, completely quoted in the following parts.

#### *5.1.1 Symbolic representation of interchange circuit*

The equipment at both sides of the interface may implement generators as well as receivers in any combination. Consequently, the symbolic representation of the interchange circuit, Figure 2 below, defines a generator interchange point as well as a load interchange point.

For data transmission applications, it is commonly accepted that the interface cabling will be provided by the DTE. This introduces the line of demarcation between the DTE plus cable and the DCE. This line is also called the interchange point as shown in Figure 3.



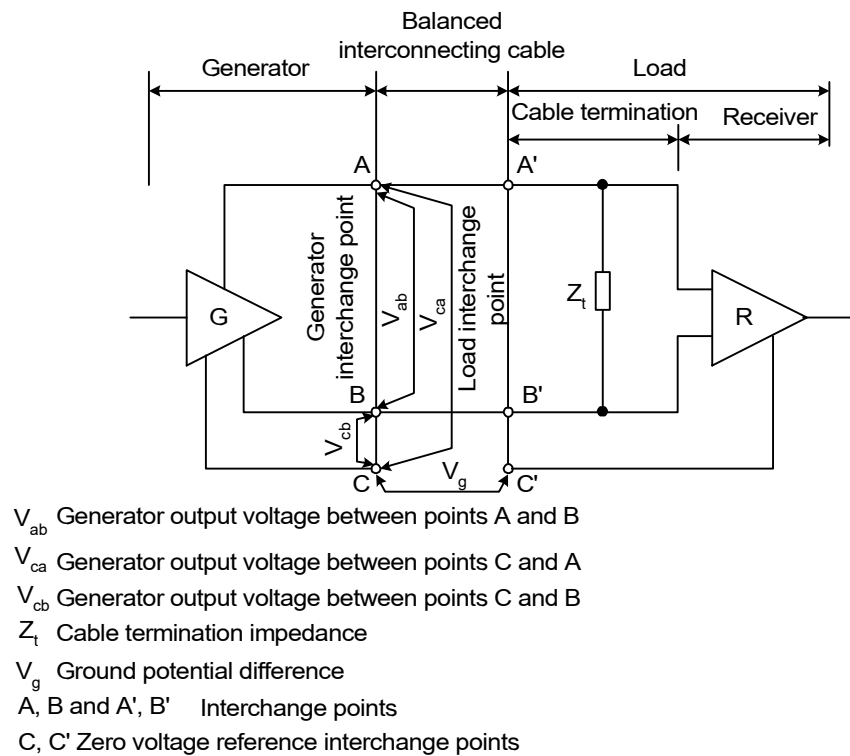


Figure 2: Symbolic representation of a balanced interchange circuit

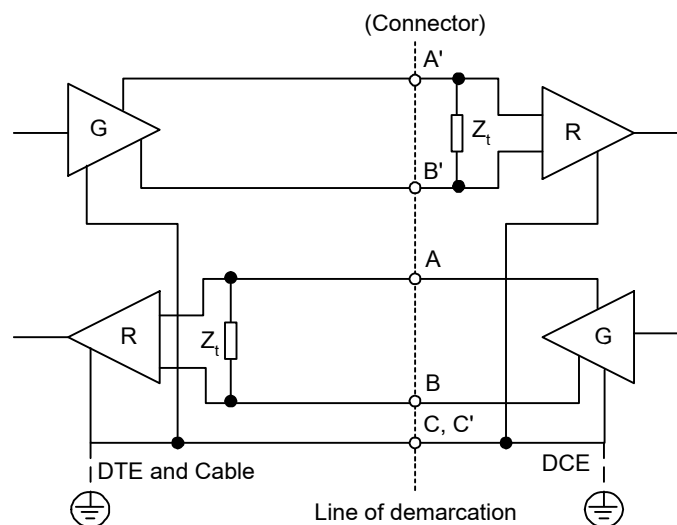


Figure 3: Practical representation of the interface

### 5.1.2 Generator polarities and receiver significant levels

#### 5.1.2.1 Generator

- The signal conditions for the generator are specified in terms of the voltage between output points A and B shown in Figure 2.

- When the signal condition 0 (space) for data circuits or ON for control and timing circuits is transmitted, the output point A is positive with respect to point B.

- When the signal condition 1 (mark) for data circuits or OFF for control and timing circuits is transmitted, the output point A is negative with respect to point B.

5.1.2.2 Receiver

The receiver differential significant levels are shown in Table 1, where  $V_{A'}$  and  $V_{B'}$  are respectively the voltages at points A' and B' relative to point C'.

*Table 1: Receiver differential signification levels*

	$V_{A'} - V_{B'} \leq -0.3 \text{ V}$	$V_{A'} - V_{B'} \geq +0.3 \text{ V}$
Data circuits	1	0
Control and timing circuits	OFF	ON

5.1.3 Generator

5.1.3.1 Resistance and DC offset voltage

**Requirement:**

- The total generator resistance between points A and B shall be less than or equal to 100  $\Omega$  and be adequately balanced with respect to point C.
- The magnitude of the generator DC offset voltage shall not exceed 3 V under all operating conditions.

**Test:** According to A.1.1.

5.1.3.2 Static reference parameters

a) Open-circuit parameters

**Requirement:** With a 3900  $\Omega$  resistor connected between points A and B, in both binary states, the magnitude of the differential voltage ( $V_0$ ) shall not be more than 6.0 V, nor shall the magnitude of  $V_{0a}$  and  $V_{0b}$  be more than 6.0 V (see figure 4.a)

**Test:** According to A.1.2a.

b) Termination parameters

**Requirement:**

- With a test load of two resistors, each 50  $\Omega$ , connected in series between the output points A and B, the differential voltage ( $V_t$ ) shall not be less than 2.0 V or 50% of the magnitude of  $V_0$ , whichever is greater see figure 4b).
- For the opposite binary state the polarity of  $V_t$  shall be reversed ( $-V_t$ ). The difference in the magnitudes of  $V_t$  and  $-V_t$  shall be less than 0.4 V.
- The magnitude of the generator offset voltage  $V_{0s}$ , measured between the center of the test load and point C shall not be greater than 3.0 V.
- The magnitude of the difference in the values of  $V_{0s}$  for one binary state and the opposite binary state shall be less than 0.4 V.

**Test:** According to A.1.2b.

c) Short-circuit parameters

**Requirement:** With the output points A and B short-circuited to point C, the current flowing through each of the output points A or B in both binary states shall not exceed 150 mA (see figure 4.c).

**Test:** According to A.1.2c.

d) Power-off parameters

**Requirement:** Under power-off condition with voltages ranging between +0.25 V and -0.25 V applied between each output point and point C, as indicated in Figure 4d, the magnitude of the output leakage currents ( $I_{xa}$  and  $I_{xb}$ ) shall not exceed 100  $\mu$ A.

**Test:** According to A.1.2d.

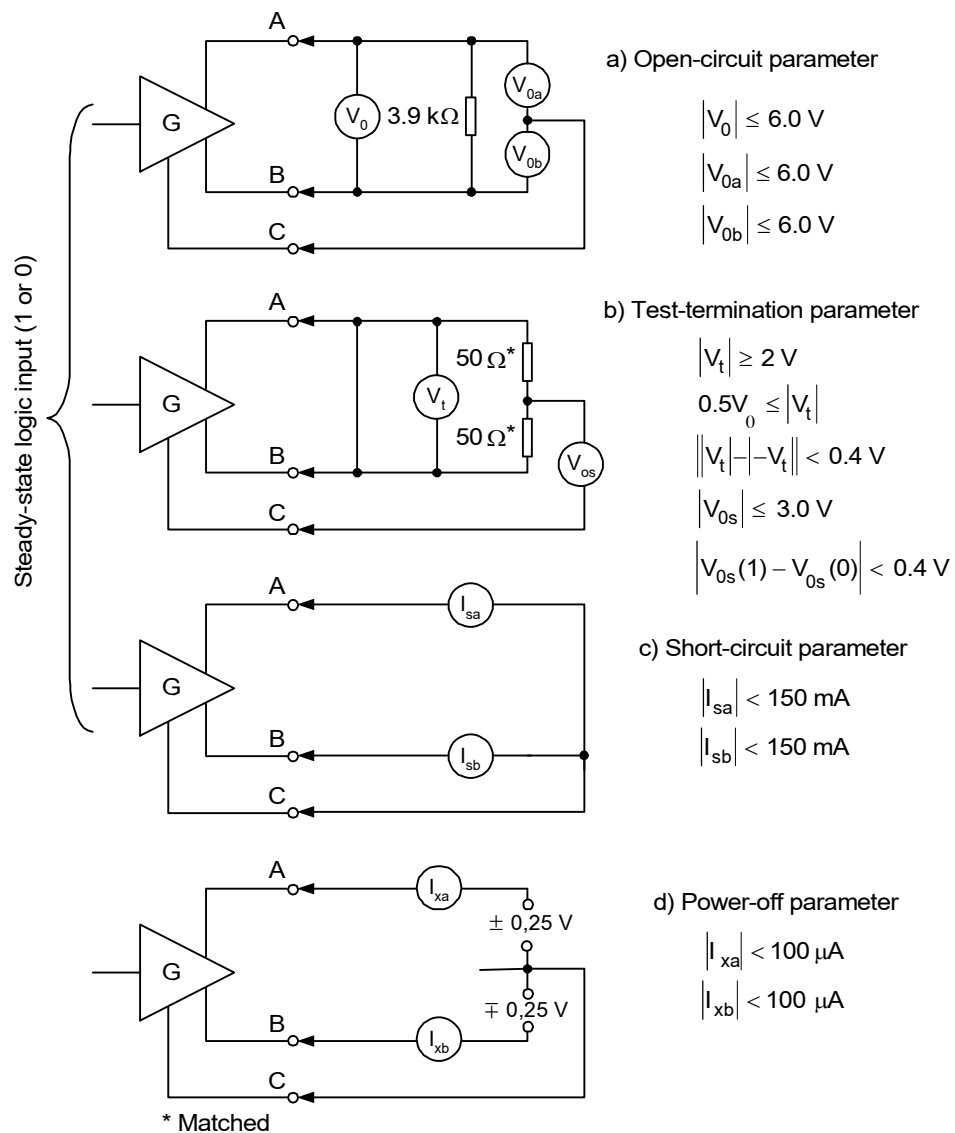


Figure 4: Generator-static reference parameters

5.1.3.3 Dynamic voltage balance and rise time measurements

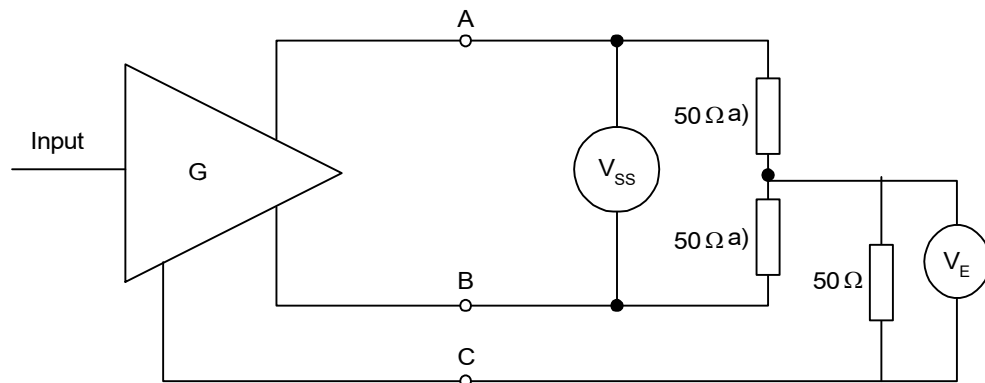
**Requirement**

- With a test signal with a nominal signal element duration  $t_b$  and composed of alternate “1” and “0”, shall be applied to the input, the change in amplitude of the output signal during transitions from one binary state to the other shall be monotonic between 0.1 and 0.9  $V_{ss}$  within 0.1 of  $t_b$  or 20 ns, whichever is greater (see figure 5).

- Thereafter, the signal voltage shall not vary more than 10% of  $V_{ss}$  from the steady state value.

- The resultant voltage due to imbalance ( $V_E$ ) shall not exceed 0.4 V peak-to-peak.

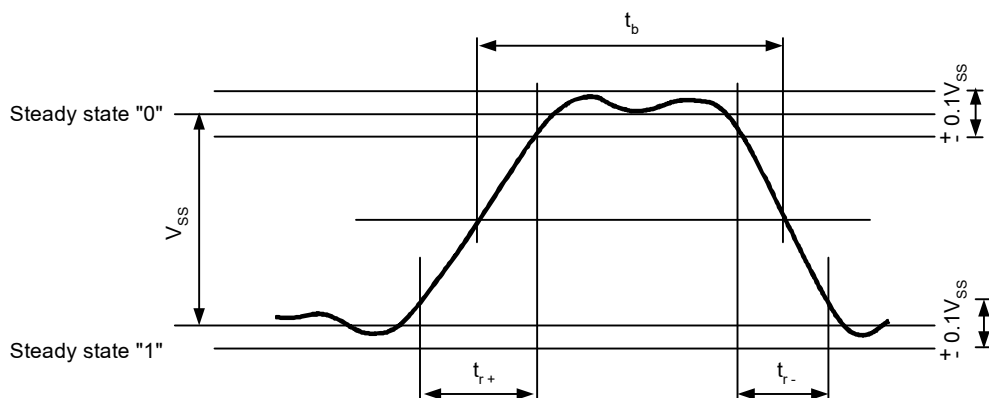
**Test:** According to A.1.3.



$V_E < 0.4$  V peak-to-peak (provisional)

$V_{ss}$  Voltage difference between steady-state signal conditions

a) Matched



$t_b$  Nominal duration of the test signal element

for  $t_b \geq 200$  ns,  $t_r \leq 0.1 t_b$

for  $t_b \geq 200$  ns,  $t_r \leq 20$  ns

Figure 5: Generator dynamic balance and rise-time measurements

### 5.1.4 Load

#### 5.1.4.1 Characteristics

The load consists of a receiver (R) and an optional cable termination resistance ( $Z_t$ ) as shown in Figure 2. The electrical characteristics of the receiver are specified in terms of the parameters illustrated in figures 6, 7 and 8 and described in 5.1.4.2, 5.1.4.3 and 5.1.4.4.

#### 5.1.4.2 Receiver input voltage-current

- With the voltage  $V_{ia}$  (or  $V_{ib}$ ) ranging between -10 V and +10 V, while  $V_{ib}$  (or  $V_{ia}$ ) is held at 0 V, the resultant input current  $I_{ia}$  (or  $I_{ib}$ ) shall remain within the shaded range shown in figure 6.

- These measurements apply with the power supply of the receiver in both the power-on and power-off conditions.

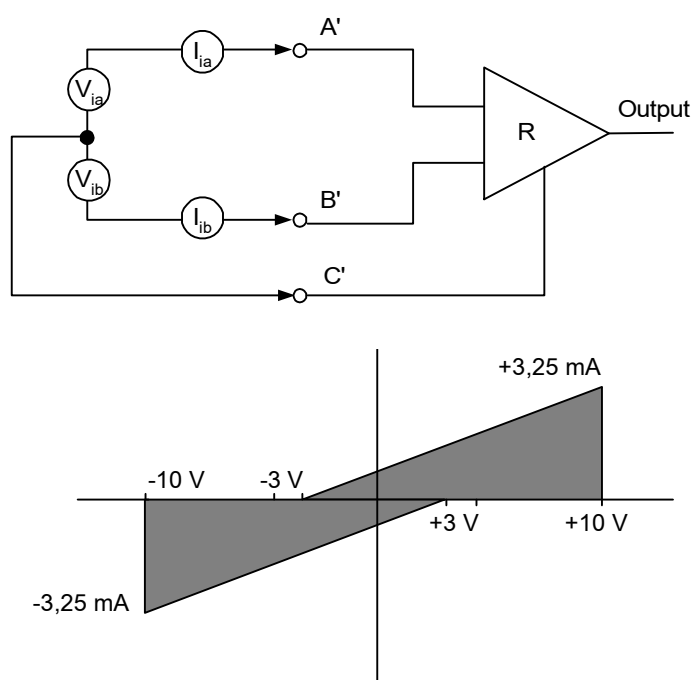


Figure 6: Receiver input voltage - current

#### 5.1.4.3 DC input sensitivity

##### Requirement:

- Over the entire common mode voltage ( $V_{cm}$ ) range of +7 V to -7 V, the receiver shall not require a differential input voltage ( $V_i$ ) of more than 300 mV to assume correctly the intended binary state. Reversing the polarity of  $V_i$  shall cause the receiver to assume the opposite binary state.

**TCN 68 - 216: 2002**

- The maximum voltage (signal plus common mode) present between either receiver input and receiver ground shall not exceed 10 V nor cause the receiver to malfunction. The receiver shall tolerate a maximum differential voltage of 12 V applied across its input terminals without being damaged.

- In the presence of the combination of input voltages  $V_{ia}$  and  $V_{ib}$  (see figure 7) specified in Table 2, the receiver shall maintain the specified output binary state and shall not be damaged.

**Test:** According to A.1.4.

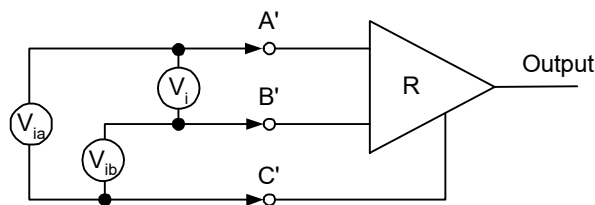


Figure 7: DC input sensitivity

Table 2: Combination of input and output voltages

Applied voltages (V)		Resulting input voltage $V_i$ (V)	Output binary state	Purpose of measurement	
$V_{ia}$	$V_{ib}$				
-12	0	-12	Not specified	To ensure no damage to receiver input	
0	-12	+12			
+12	0	+12			
0	+12	-12			
+10	+4	+6	0	To guarantee correct operation at $V_i = 6$ V (maintain correct logic state)	
+4	+10	-6	1		
-10	-4	-6	1		
-4	-10	+6	0		
+0.30	0	+0.3	0	300 mV threshold measurement	
					0
+7.15	+6.85	+0.3	0		
					+6.85
-7.15	-6.85	-0.3	1		
					-6.85

#### 5.1.4.4 Input balance

The balance of the receiver input resistance and internal bias voltages shall be such that the receiver shall remain in the intended binary state under the conditions shown in figure 8 and described as follows:

- With  $V_i = +720$  mV and  $V_{cm}$  varied between  $-7$  and  $+7$  V;
- With  $V_i = 720$  mV and  $V_{cm}$  varied between  $-7$  and  $+7$  V;
- With  $V_i = +300$  mV and  $V_{cm}$  a 1.5 V peak-to-peak square wave at the highest applicable data signaling rate;
- With  $V_i = -300$  mV and  $V_{cm}$  a 1.5 V peak-to-peak square wave at the highest applicable data signaling rate.

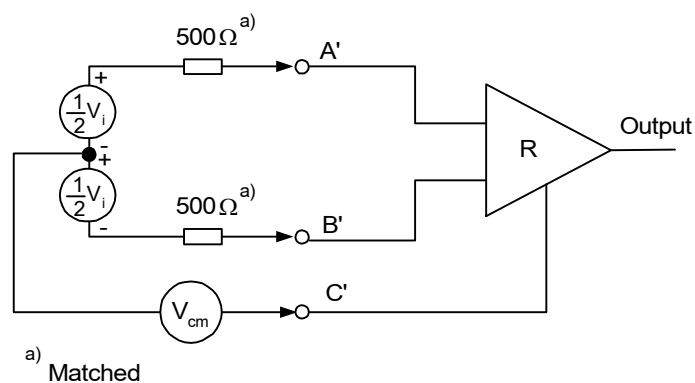


Figure 8: Receiver input balance

#### 5.1.4.5 Terminator

The use of a cable terminating impedance ( $Z_t$ ) is optional. In no case shall the total load resistance be less than  $100 \Omega$ .

### 5.2 Electrical characteristics of unbalanced interchange circuits

Electrical characteristics of unbalanced interchange circuits (remaining circuits in Table 2) shall be in accordance with ITU-T recommendation V.28, completely quoted in the following parts.

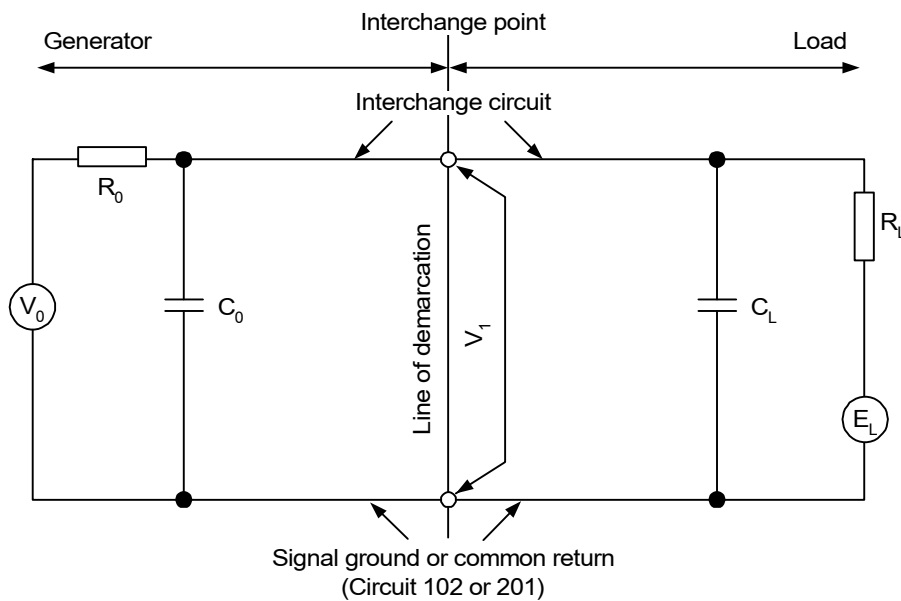
#### 5.2.1 Interchange equivalent circuit

Figure 9 shows the interchange equivalent circuit with the electrical parameters, which are defined below.

This equivalent circuit is independent of whether the generator is located in the data circuit-terminating equipment and the load in the data terminal equipment or vice versa.

The impedance associated with the generator (load) includes any cable impedance on the generator (load) side of the interchange point.

The equipment at both sides of the interface may implement generators as well as receivers in any combination.



$V_0$ : is the open-circuit generator voltage

$R_0$ : is the total effective D.C resistance associated with the generator, measured at the interchange point

$C_0$ : is the total effective capacitance associated with the generator, measured at the interchange point

$V_1$ : is the voltage at the interchange point with respect to signal ground or common return

$C_L$ : is the total effective capacitance associated with the load, measured at the interchange point

$R_L$ : is the total effective D.C resistance associated with the load, measured at the interchange point

$E_L$ : is the open-circuit load voltage

*Figure 9: Interchange equivalent circuit*

For data transmission applications, it is commonly accepted that the interface cabling is provided by the DTE. This introduces the line of demarcation between the DTE plus cable and the DCE. This line is also called the interchange point and is physically implemented in the form of a connector. The applications also require interchange circuits in both directions. This leads to an illustration as shown in figure 10.



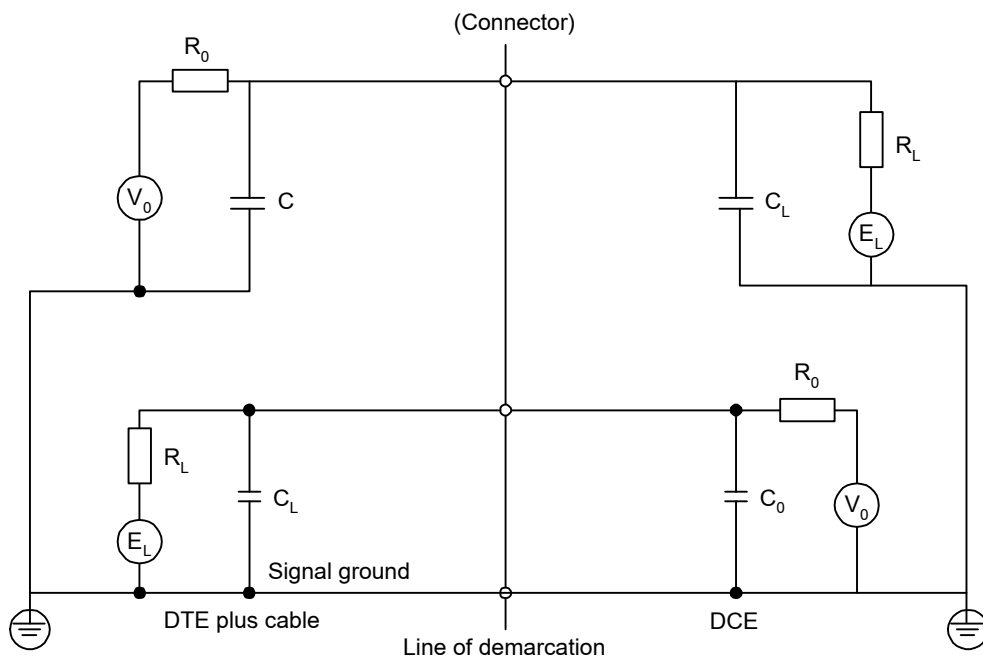


Figure 10: Practical representation of the interface

### 5.2.2 Load

The test conditions for measuring the load impedance are shown in figure 11.

The impedance on the load side of an interchange circuit shall have a DC resistance ( $R_L$ ) neither less than 3000  $\Omega$  nor more than 7000  $\Omega$ .

With an applied voltage ( $E_m$ ), 3 V to 15 V in magnitude, the measured input current ( $I$ ) shall be within the following limits:

$$I_{\min, \max} = \left| \frac{E_m \pm E_{L \max}}{R_{L \max, \min}} \right|$$

The open-circuit load voltage ( $E_L$ ) shall not exceed 2 V. The effective shunt capacitance ( $C_L$ ) of the load, measured at the interchange point, shall not exceed 2500 pF.

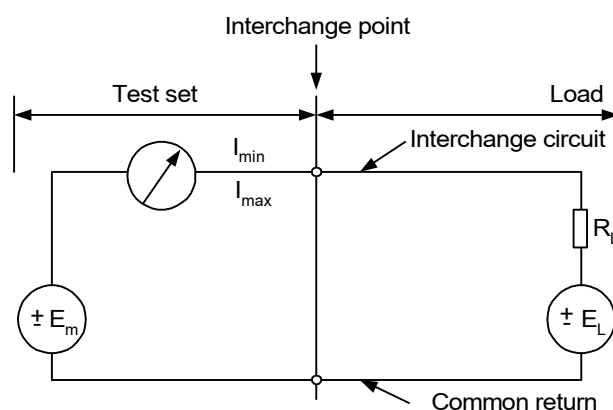


Figure 11: Equivalent test circuit

*5.2.3 Generator*

The open circuit generator voltage ( $V_0$ ) on any interchange circuit shall not exceed 15 V in magnitude.

The impedance ( $R_0$  and  $C_0$ ) on the generator side of an interchange circuit is not specified; however, the combination of  $V_0$  and  $R_0$  shall be selected so that a short circuit between any two interchange circuits shall not result in any case in a current in excess of 0.5 A.

Additionally, when the load open-circuit voltage ( $E_L$ ) is zero, the voltage ( $V_1$ ) at the interchange point shall not be less than 5 V and not more than 15 V in magnitude (either positive or negative polarity), for any load resistance ( $R_L$ ) in the range between 3000  $\Omega$  and 7000  $\Omega$ .

The effective shunt capacitance ( $C_0$ ) at the generator side of an interchange circuit is not specified. However, in addition to any load resistance ( $R_L$ ) the generator shall be capable of driving all of the capacitance at the generator side ( $C_0$ ), plus a load capacitance ( $C_L$ ) of 2500 pF.

*5.2.4 Significant levels*

Significant levels for interchange circuits are specified in Table 3.

*Table 3: Significant levels*

Interchange circuit	$V_1 < -3 \text{ V}$	$V_1 > +3 \text{ V}$
Data circuits	1	0
Control, timing circuits	OFF	ON

*5.2.5. Signal characteristics*

The following limitations to the characteristics of signals transmitted across the interchange point, exclusive of external interference, shall be met at the interchange point when the interchange circuit is loaded with any receiving circuit which meets the characteristics specified in clause 5.2.2.

These limitations apply to all (data, control and timing) interchange signals unless otherwise specified.

- a. All interchange signals entering into the transition region shall proceed through this region to the opposite signal state and shall not re-enter this region until the next significant change of signal condition, except as indicated in f) below.
- b. There shall be no reversal of the direction of voltage change while the signal is in the transition region, except as indicated in f) below.
- c. For control interchange circuits, the time required for the signal to pass through the transition region during a change in state shall not exceed 1 ms.

- d. For data and timing interchange circuits, the time required for the signal to pass through the transition region during a change in state shall not exceed 1 ms or 3% of the nominal element period on the interchange circuit, whichever is the less.
- e. To reduce crosstalk between interchange circuits the maximum instantaneous rate of voltage change will be limited. A provisional limit will be 30 V/ $\mu$ s.
- f. When electromechanical devices are used on interchange circuits, points a) and b) above do not apply to data interchange circuits.

## 6. Electrical characteristics of interchange circuits for V.35 interface

### 6.1 Electrical characteristics of balanced interchange circuits

Electrical characteristics of balanced interchange circuits (103, 104, 113, 114 circuits in table 1) shall be in accordance with Appendix II ITU-T Recommendation V.35, completely quoted in the following parts.

#### 6.1.1 Generator

This circuit should comply with the following Requirements:

- a. Source impedance in the range 50 to 150  $\Omega$ ;
- b. Resistance between short-circuited terminals and circuit 102:  $150 \pm 15 \Omega$  ;
- c. When terminated by 100  $\Omega$  resistive load the terminal-to-terminal voltage should be  $0.55 \pm 20\%$  so that A terminal is positive to the B terminal when binary 0 is transmitted, and the conditions are reversed to transmit binary 1;
- d. The rise time between the 10% and 90% points of any change of state when terminated as in c) should be less than 1% of the nominal duration of a signal element or 40 ns, whichever is the greater;
- e. The arithmetic mean of the voltage of the A terminal with respect to circuit 102, and the B terminal with respect to circuit 102 (DC line offset), should not exceed 0.6 V when terminated as in c).

#### 6.1.2 Load

The load should comply with the following:

- a. Input impedance in the range  $100 \pm 10 \Omega$ , substantially resistive in the frequency range of operation;
- b. Resistance to circuit 102 of  $150 \pm 15 \Omega$ , measured from short-circuited terminals.

#### 6.1.3 Cable

The interface cable should be a balanced twisted multi-pair type with a characteristic impedance between 80 and 120  $\Omega$  at the fundamental frequency of the timing waveform at the associated terminator.

**6.2 Electrical characteristics of unbalanced interchange circuits**

Electrical characteristics of unbalanced interchange circuits (remaining circuits in table 1) shall be in accordance with ITU-T recommendation V.28 (article 5.2).

**7. Electrical characteristics of G.703 64 kbit/s interface**

**7.1 Output port**

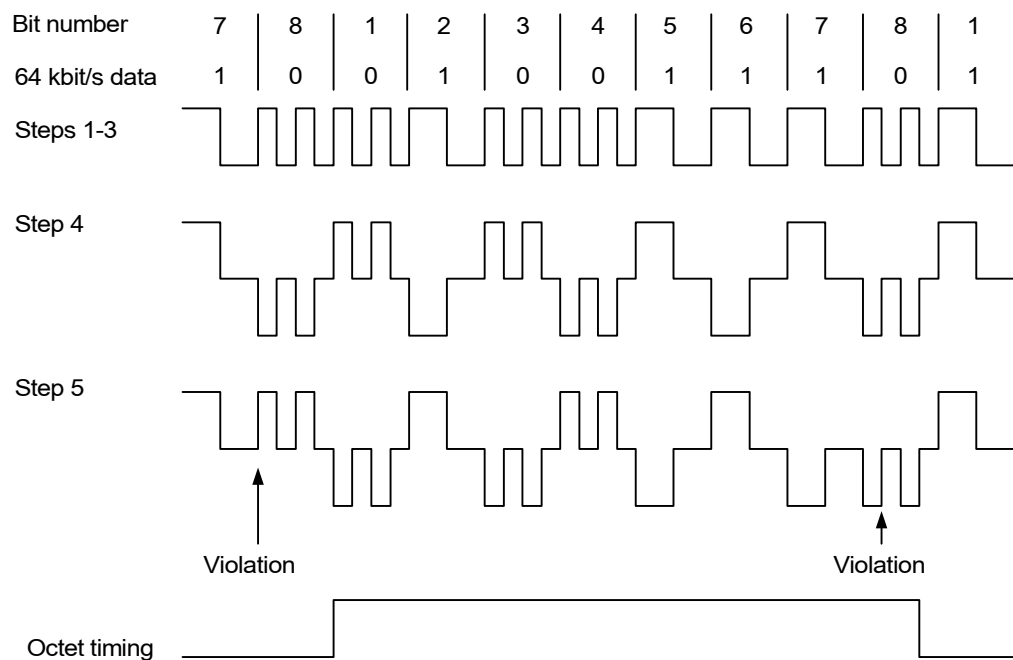
**7.1.1 Signal coding**

**Requirement:** The signal transmitted at the output port shall comply with the encoding rules as follows:

- Step 1: A 64 kbit/s bit period is divided into four unit intervals.
- Step 2: A binary 1 is encoded as a block of the following four bits: 1100
- Step 3: A binary 0 is encoded as a block of the following four bits: 1010
- Step 4: The binary signal is converted into a three-level signal by alternating the polarity of consecutive blocks.
- Step 5: The alteration in polarity of the blocks is violated every 8th block. The violation marks the last bit in an octet.

These conversion rules are illustrated in figure 12.

**Test:** According to A.2.1.



*Figure 12: The conversion rules*

7.1.2 Waveform shape

**Requirement:** The pulse at the output port shall comply with the requirements given in table 4 and figures 13 and 14.

**Test:** According to A.2.2.

Table 4: Waveform shape at output port

Pulse shape (normally rectangular)	All pulses of valid signal shall conform with the marks (see figures 13 and 14 irrespective of the polarity)
Pairs in each direction of transmission	One symmetric pair
Test load impedance	120 Ω non-reactive
Nominal peak voltage of mark (pulse)	1.0 V
Peak voltage of a space (no pulse)	0 V ± 0.1 V
Nominal pulse width	3.9 μs for a single pulse 7.8 μs for a double pulse
Ratio of amplitudes of positive and negative pulses at the center of the pulse interval	0.95 to 1.05
Ratio of the widths of positive and negative pulses at the nominal half amplitude	0.95 to 1.05

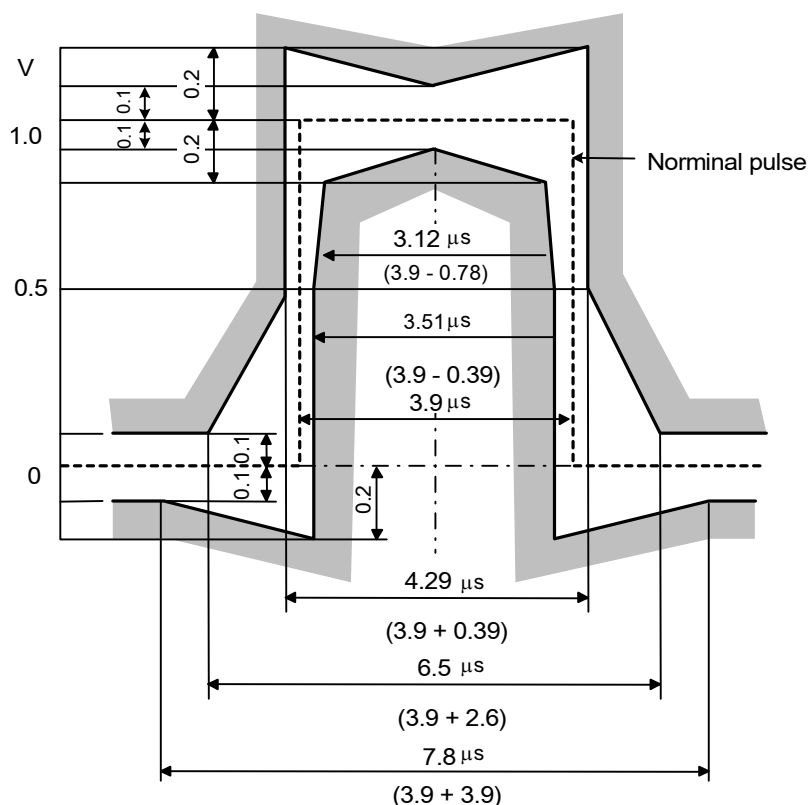


Figure 13: Pulse mask for single pulse

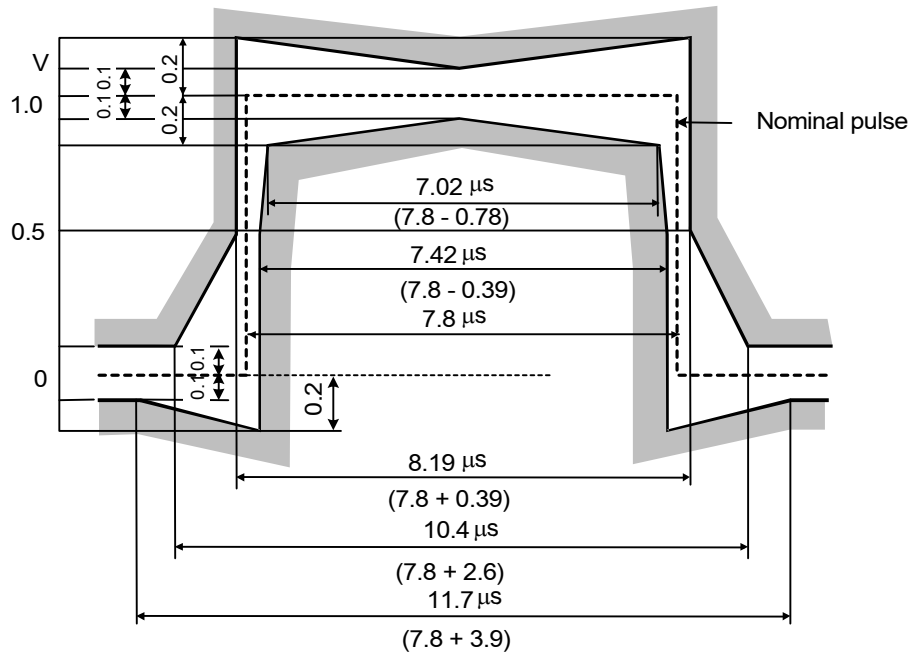


Figure 14: Pulse mask for double pulse

### 7.1.3 Output timing

The terminal equipment shall be capable of:

- Synchronizing the output timing to the timing received at the receive side of the interface; or
- Synchronizing the output timing to an external reference (plesiochronous working).

*Note:* Additional sources of timing, e.g. an internal clock, are not precluded by the above requirement.

### 7.1.4 Output jitter

**Requirement:** The peak-to-peak output jitter shall not exceed the limits of table 5.

**Test:** According to A.2.5.

Table 5: Maximum output jitter

Measurement filter bandwidth		Output jitter (UI peak-to-peak)
Lower cut-off	Upper cut-off	
20 Hz	20 kHz	0.25
3 kHz	20 kHz	0.05
<i>Note:</i> 0.25 UI = 3.9 μs; 0.05 UI = 0.78 μs		

### 7.1.5 Impedance towards ground

**Requirement:** Where the terminal equipment has a ground, the impedance towards ground of the output port shall be greater than 1000  $\Omega$  for frequencies in the range from 10 Hz to 1 MHz when measured with a sinusoidal test voltage of 2 V r.m.s.

**Test:** According to A.2.6.

### 7.1.6 Longitudinal conversion loss (LCL)

**Requirement:** Where the terminal equipment has a ground, the longitudinal conversion loss of the terminal output port shall be greater than or equal to the figures given in Table 6.

**Test:** According to A.2.7.

Table 6: Output port longitudinal conversion loss

Frequency	Longitudinal conversion loss
3.4 kHz	40 dB
3.4 kHz to 34 kHz	Decreasing 20 dB/decade from 40 dB to 20 dB
34 kHz to 256 kHz	20 dB

## 7.2 Input port

### 7.2.1 Signal coding

The input port shall decode without errors signals encoded in accordance with encoding rules of paragraph 7.1.1.

**Test:** According to A.2.3.

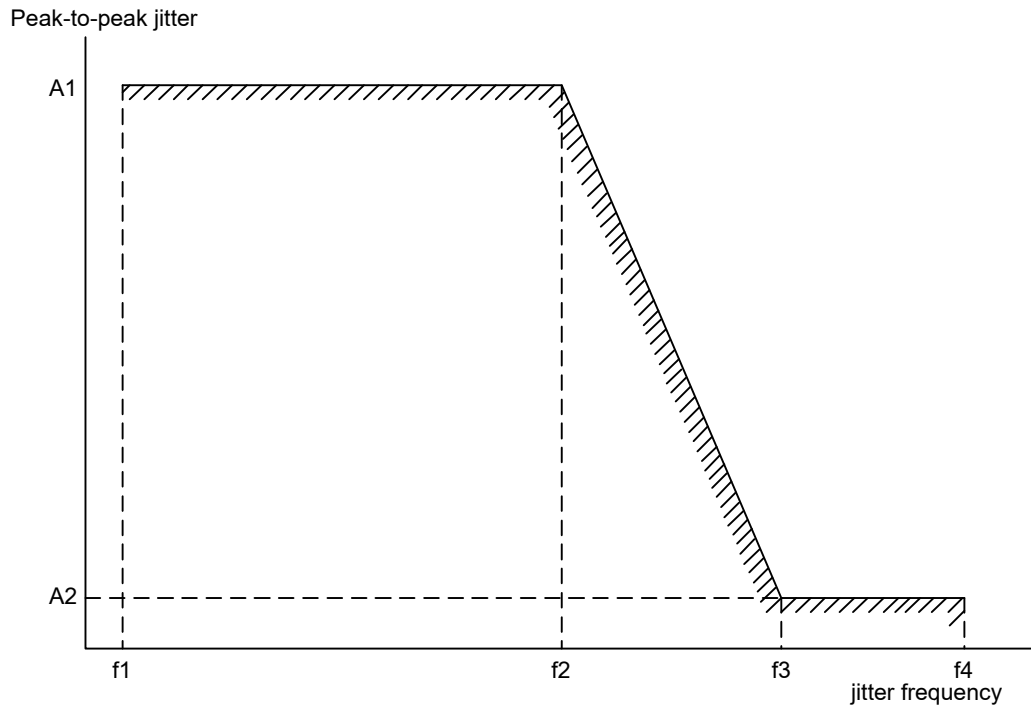
### 7.2.2 Input clock tolerance

The terminal equipment shall operate without errors with signals encoded as in paragraph 7.1.1, over the frequency range 64 kbit/s  $\pm$  100 ppm.

### 7.2.3 Input jitter tolerance

**Requirement:** The terminal equipment shall function as specified without errors with the maximum sinusoidal input jitter as shown in figure 15 and table 7.

**Test:** According to A.2.5.



*Figure 15: Input jitter tolerance*

*Table 7: Input jitter tolerance*

Peak-to-peak amplitude (UI)		Frequency (Hz)			
A1	A2	f1	f2	f3	f4
0.25	0.05	20	600	3000	20000
<i>Note: 0.25 UI = 3.9 μs; 0.05 UI = 0.78 μs</i>					

**7.2.4 Input loss tolerance**

**Requirement:** The input port shall correctly interpret a 64 kbit/s signal as defined in clauses 7.1.1 above but modified by an intervening pair with the following characteristics:

- a. Attenuation that follows  $\sqrt{f}$  law with values throughout the range from 0 dB to 3 dB at 128 kHz; and
- b. Characteristic impedance of 120  $\Omega$  with a tolerance of  $\pm 20\%$  in the frequency range from 200 kHz to 1 MHz, and  $\pm 10\%$  at 1 MHz.

**Test:** According to clause A.2.3.

**7.2.5 Immunity against reflections**

**Requirement:**

- When a signal comprising a combination of a normal signal and an interfering signal is applied to the input port, via an artificial cable with a loss in the range from 0 dB to 3 dB at 128 kHz, no errors shall result due to the interfering signal.

- The normal signal shall be a signal encoded according to art 7.1.1, shaped according to the masks of figures 13 and 14, with a binary content in accordance



with a Pseudo Random Bit Sequence as defined in clause 2.1 of ITU-T Recommendation O.152 PRBS( $2^{11} - 1$ ) (see appendix B.3).

- The interfering signal shall be the same as the normal signal except that the level shall be attenuated by 20 dB, the bit rate shall be within 64 kbit/s  $\pm$  100 ppm, and the timing shall not be synchronized to the normal signal.

**Test:** According to clause A.2.3.

#### 7.2.6 Input return loss

**Requirement:** The input return loss with respect to 120  $\Omega$  at the interface shall be greater than or equal to the values given in table 8

**Test:** According to clause A.2.4.

*Table 8: Input port minimum return loss*

Frequency range	Return loss
4 kHz to 13 kHz	12 dB
13 kHz to 256 kHz	18 dB
256 kHz to 384 kHz	14 dB

#### 7.2.7 Impedance towards ground

**Requirement:** Where the terminal equipment has a ground, the impedance towards ground of the input port shall be greater than 1000  $\Omega$  for frequencies in the range from 10 Hz to 1 MHz when measured with a sinusoidal test voltage of 2 V r.m.s.

**Test:** According to A.2.6.

#### 7.2.8 Longitudinal conversion loss (LCL)

**Requirement:** Where the terminal equipment has a ground, the longitudinal conversion loss of the terminal input port shall be greater than or equal to the figures given in Table 9.

**Test:** According to A.2.7.

*Table 9: Input port longitudinal conversion loss*

Frequency	Longitudinal conversion loss
3.4 kHz	40 dB
3.4 kHz to 34 kHz	Decreasing 20 dB/decade from 40 dB to 20 dB
34 kHz to 256 kHz	20 dB

*Note:* For signals with bit rates of  $n \times 64$  kbit/s ( $n = 2 \div 31$ ) which are routed through multiplexing equipment specified for the 2048 kbit/s hierarchy, the interface shall have the same physical/electrical characteristics as those for 2048 kbit/s.

## APPENDIX A

(Normative)

### A.1 Method of measurement electrical characteristics of V.11 interface

#### A.1.1 DC offset voltage of generator

**Test configuration:** Figure A.1.1.

**Measurement:**

- Connecting two 50  $\Omega$  resistances between A and B terminals.
- Measuring voltages between A and B, C and point between two resistances in both “1” and “0” conditions.
- In both cases, absolute value of measured voltages are less than or equal 3 V. Difference in absolute values of DC voltages should be less than or equal 0.3 V.

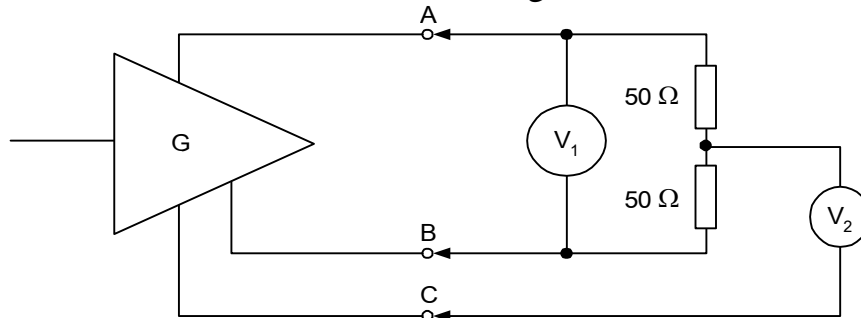


Figure A.1.1: DC offset voltage of generator

#### A.1.2 Static reference parameters

##### a) Open-circuit parameters

**Test configuration:** Figure A.1.2a.

**Measurement:**

- Measuring voltages between A and B, A and C, B and C in both “1” and “0” conditions .
- In both cases, absolute values of measured voltages are less than or equal 6 V.

##### b) Test-termination parameters

**Test configuration:** Figure A.1.2b.

**Measurement:**

- S<sub>1</sub> switch is OFF, S<sub>2</sub> switch in ON. Measuring voltage between A and B by V<sub>1</sub> voltmeter. Measured voltage is V<sub>0</sub>.
- Next, S<sub>1</sub> switch is ON, S<sub>2</sub> switch is OFF. V<sub>1</sub> shall indicate V<sub>v</sub>, V<sub>2</sub> shall indicate V<sub>os</sub>.
- Carrying out procedures above in both “1” and “0” conditions.

c) Short-circuit parameter

**Test configuration:** Figure A.1.2c.

**Measurement:**

- Measuring output currents from A to C and from B to C in both “1” and “0” conditions.
- Absolute values of measured currents should be less than 150 mA.

d) Power-off parameters

**Test configuration:** Figure A.1.2d.

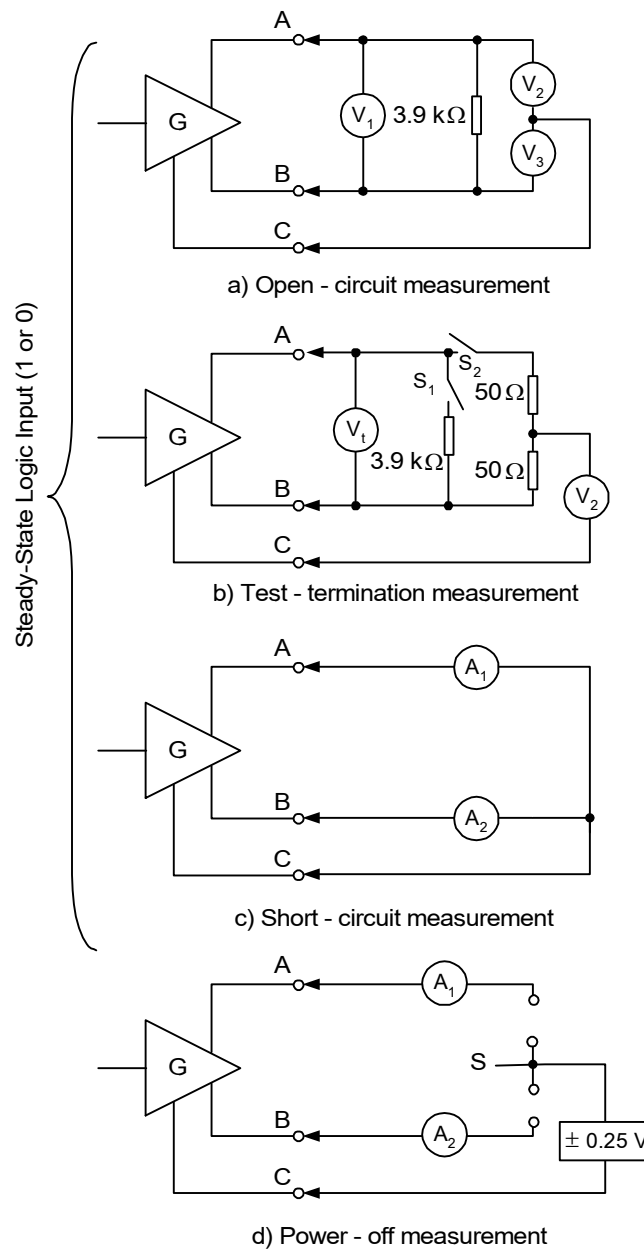


Figure A.1.2: Generator - parameter reference measurements

**Measurement:**

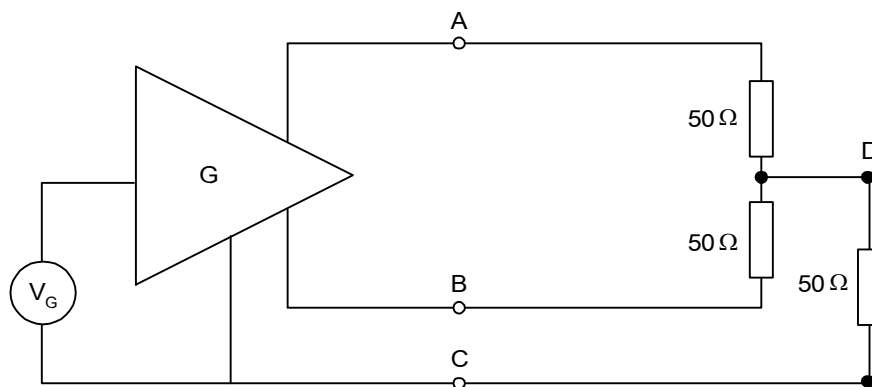
- Turn off generator.
- Setting voltages between A and B terminal with C one after another in range -0.25 V to +0.25 V by switch S and external source.
- Measuring output currents by microampemeters  $A_1$  and  $A_2$ .
- Absolute values of currents through  $A_1$  and  $A_2$  should be less than  $100 \mu\text{A}$ .

**A.1.3 Dynamic voltage balance and rise time measurements**

**Test configuration:** Figure A.1.3.

**Measurement:**

- Input signal is stream of “1” and “0” bits consecutively, duration of pulse is selected around 200 ns.
- Measure waveform shape between A and B terminals by oscilloscope. Measured voltage (peak-to-peak) between A and B should be less than 0.4 V.
- Regulate duration of test signal  $t_b$ . Measure waveform shape between C and D terminals. Measured values of  $t_r$  should meet conditions:  $t_b \geq 200 \text{ ns}$ ,  $t_r \leq 0.1t_b$ ,  $t_b \leq 200 \text{ ns}$ ,  $t_r \leq 20 \text{ ns}$ .



*Figure A.1.3: Dynamic voltage balanced rise time measurements*

**A.1.4 DC input sensivity measurements**

**Test configuration:** Figure A.1.4.

**Measurement:**

- Select input signals  $V_{ia}$ ,  $V_{ib}$  and  $V_i$  according to values as defined in Table A.1. Check logical levels of output signal.

Table A.1: Combination of input voltages

Applied voltages (V)		Resulting input voltage $V_i$ (V)	Output binary state
$V_{ia}$	$V_{ib}$		
-12	0	-12	Not specified
0	-12	+12	
+12	0	+12	
0	+12	-12	
+10	+4	+6	0
+4	+10	-6	1
-10	-4	-6	1
-4	-10	+6	0
+0.30	0	+0.3	0
0	+0.30	-0.3	1
+7.15	+6.85	+0.3	0
+6.85	+7.15	-0.3	1
-7.15	-6.85	-0.3	1
-6.85	-7.15	+0.3	0

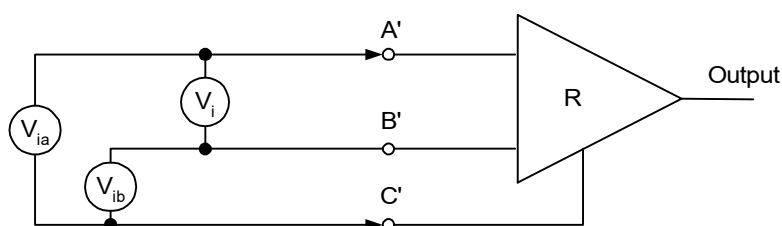


Figure A.1.4: DC input sensitivity measurements

## A.2 Method of measurement electrical characteristics of G.703 64 kbit/s interface

### A.2.1 Signal coding at output port

**Test configuration:** Figure A.2.1.

**Measurement:**

- The terminal shall transmit a bit stream including both binary ONES and binary ZEROs, for example a PRBS( $2^{11} - 1$ ).

- Using test equipment to monitor output bit stream. Within a test duration of up to 5 minutes there shall be at least one period of one minute during which there are no errors in the decoded bits stream.

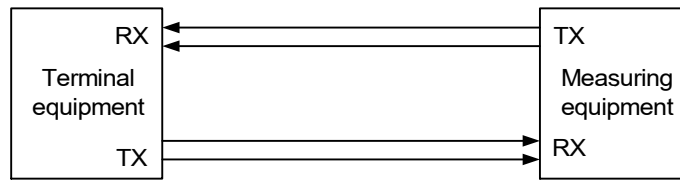


Figure A.2.1: Measurement of signal coding at output port

### A.2.2 Waveform shape at output port

**Test configuration:** Figure A.2.2.

**Measurement:**

- Marks and spaces transmitted by the terminal equipment, measuring the amplitude and shape of positive and negative pulses (measured at the centre of the pulse interval) and the time duration of positive and negative pulses (measured at the nominal half of the pulse amplitude, i.e. 0.5 V).

- The overall measurement accuracy shall be better than 30 mV. All the measurements shall be performed using measuring equipment capable of recording DC. A bandwidth of 200 MHz or greater shall be used.

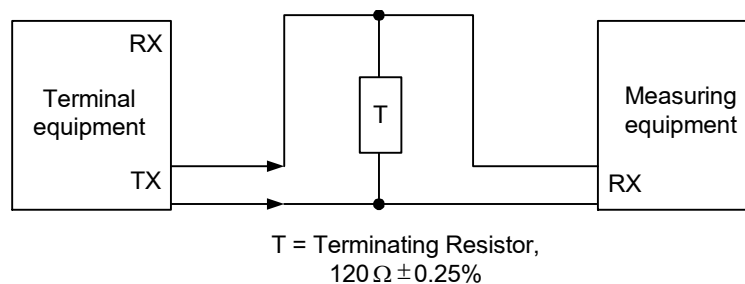


Figure A.2.2: Waveform shape at output port

### A.2.3 Input coding, loss tolerance and immunity against reflections

**Test configuration:** Figure A.2.3.

**Measurement:**

- The output signals of the test equipment and the pattern generator shall be a signal encoded according to art 7.1.1, shaped according to the masks of figures 13 and 14, with a binary content in accordance with a Pseudo Random Bit Sequence as defined in clause 2.1 of ITU-T Recommendation O.152 (PRBS( $2^{11} - 1$ )).

- The interfering signal shall be the same as the normal signal except that the bit rate shall be within 64 kbit/s  $\pm$  100 ppm, and the timing shall not be synchronized to the normal signal.

- The interfering signal shall be combined with the main signal in a combining network of impedance  $120 \Omega$ , with 0 dB loss in the main path and an attenuation in the interference path of 20 dB.

- The cable simulator shall have an attenuation of 3 dB measured at 128 kHz and an attenuation characteristic that follows a  $\sqrt{f}$  law.

- The conformance of the interface shall be verified in the following test conditions:

- a. Without cable simulator and without interfering tone, with the test equipment generating a PRBS; and
- b. With cable simulator and without interfering tone; and
- c. Without cable simulator and with interfering tone; and
- d. With cable simulator and with interfering tone.

- The test shall be repeated with the wires at the terminal equipment interface reversed.

- Within a test duration of up to 5 minutes there shall be at least one period of one minute during which the data received from the equipment under test is identical with the generated sequence.

*Note:* The  $\sqrt{f}$  law of the cable simulator shall apply over the frequency range from 100 kHz to 1 MHz.

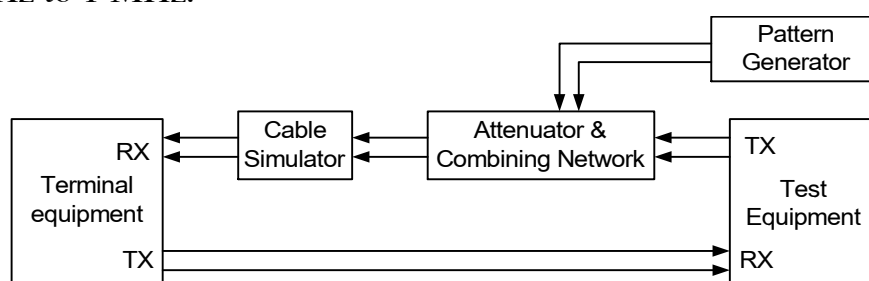


Figure A.2.3: Loss tolerance and immunity against reflections

#### A.2.4 Return loss at input port

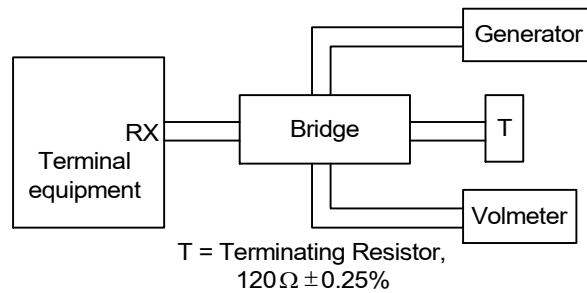
**Test configuration:** Figure A.2.4.

**Measurement:**

- Sinusoidal signal of 1 V peak at the input port of the terminal equipment with a frequency variable between 4 kHz and 384 kHz.

- Voltage measured across the bridge, representing a terminating resistor of  $120 \Omega$ , using a selective voltmeter with a bandwidth of less than 1 kHz.

- The measured return loss shall be greater than or equal to the values in table 8.



*Figure A.2.4: Return loss at input port*

### ***A.2.5 Input and output jitter***

**Test configuration:** Figure A.2.5.

**Measurement:**

- The terminal equipment shall be configured (where these modes of operation are supported):

- + With output timing referenced to the internal clock; and
- + With output timing referenced to any external clock source from which timing can be derived.

- The modulation source may be included in the clock generator and/or the pattern generator, or it may be provided separately. The output signal of the pattern generator shall be encoded as in clause 7.1.1 and conform to a pulse shape as defined in table 4. The binary content shall be a PRBS(2<sup>11</sup>- 1).

- Measurements shall be made at the nominal digital rate of 64 kbit/s. It may be necessary to synchronize the pattern generator:

- + To the output of the terminal equipment when the terminal equipment is running from its own internal clock; or
- + To the external clock source when the terminal equipment is running from this clock source; in order to avoid a high occurrence of slips.

- The modulation source for the terminal equipment signal input shall generate individual components of sinusoidal jitter at points on the curve of figure 15 and Table 7.

- Monitoring the signal transmitted by the terminal equipment and the jitter extracted from this signal. There shall be no bit errors reported by the test



equipment within the period of the test and the peak-to-peak jitter shall comply with table 5.

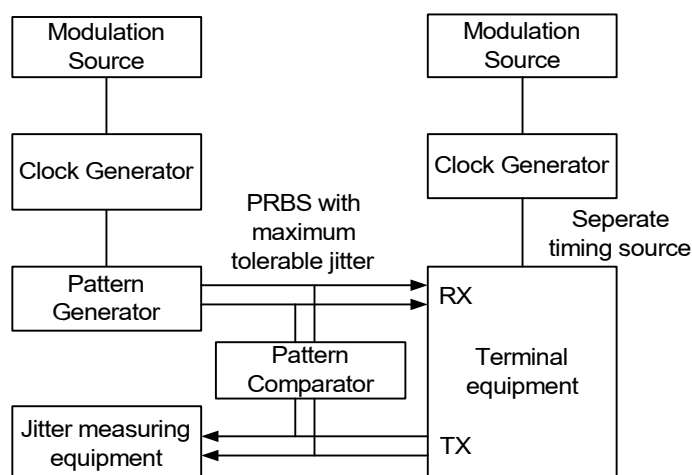


Figure A.2.5: Jitter measurement

### A.2.6 Impedance towards ground

**Test configuration:** Figure A.2.6.

**Measurement:**

- Sinusoidal test signal ( $V_{gen}$ ) of 2 V r.m.s  $\pm$  20 mV applied over the frequency range from 10 Hz to 1 MHz, monitoring voltage of  $V_{test}$ .
- Voltage  $V_{test}$  shall be less than 19.2 mV r.m.s.

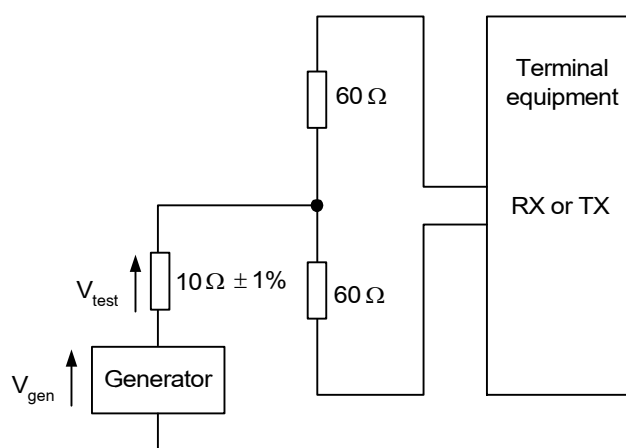


Figure A.2.6: Impedance towards ground

### A.2.7 Longitudinal conversion loss

**Test configuration:** Figure A.2.7.

**Measurement:**

## TCN 68 - 216: 2002

- Generator output ( $V_{gen}$ ) 1 V r.m.s  $\pm$  10 mV shall be applied at any frequency in the range from 3.4 kHz to 256 kHz.

- The longitudinal conversion loss  $20\log(V_{gen}/V_{test})$  shall be greater than or equal to the values given in tables 6 and 9.

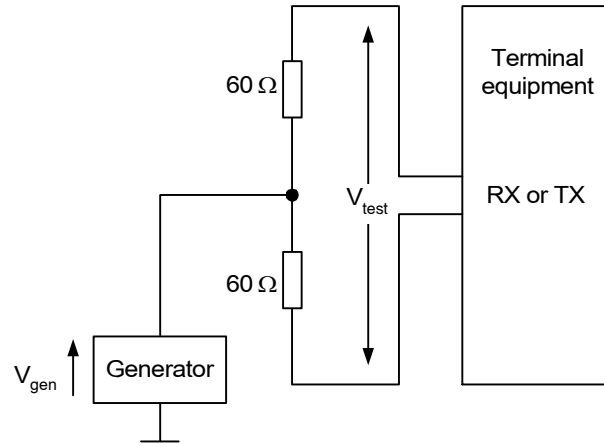


Figure A.2.7: Longitudinal conversion loss

### A.3 Method of measurement electrical characteristics of V.35 interface

The same as for V.11 interface.

### A.4 Interchange circuits at interface

#### A.4.1 V.35 interface

The interchange circuits at V.35 interface should be as shown in Table A.4.1

Table A.4.1: Interchange circuits at V.35 interface

Number	Function
102	Signal ground or common return
103	Transmitted data
104	Received data
105	Request to send
106	Ready for sending
107	Data set ready
109	Data channel receive line signal detector
114	Transmitter signal element timing
115	Receiver signal element timing

**A.4.2 V.11 interface**

The interchange circuits at V.11 interface should be as shown in Table A.4.2.

*Table A.4.2: Interchange circuits at V.11 interface*

<b>Number</b>	<b>Function</b>
102	Signal ground or common return
103	Transmitted data
104	Received data
105	Request to send
106	Ready for sending
107	Data set ready
109	Data channel receive line signal detector
113	Transmitter signal element timing (DTE)
114	Transmitter signal element timing (DCE)
115	Receiver signal element timing (DCE)
140	Loopback/Maintenance test
141	Local loopback
142	Test indicator

## APPENDIX B

(Informative)

### B.1 Types of connector

#### B.1.1 ISO 2593 (M34) 34-pole DTE/DCE interface connector

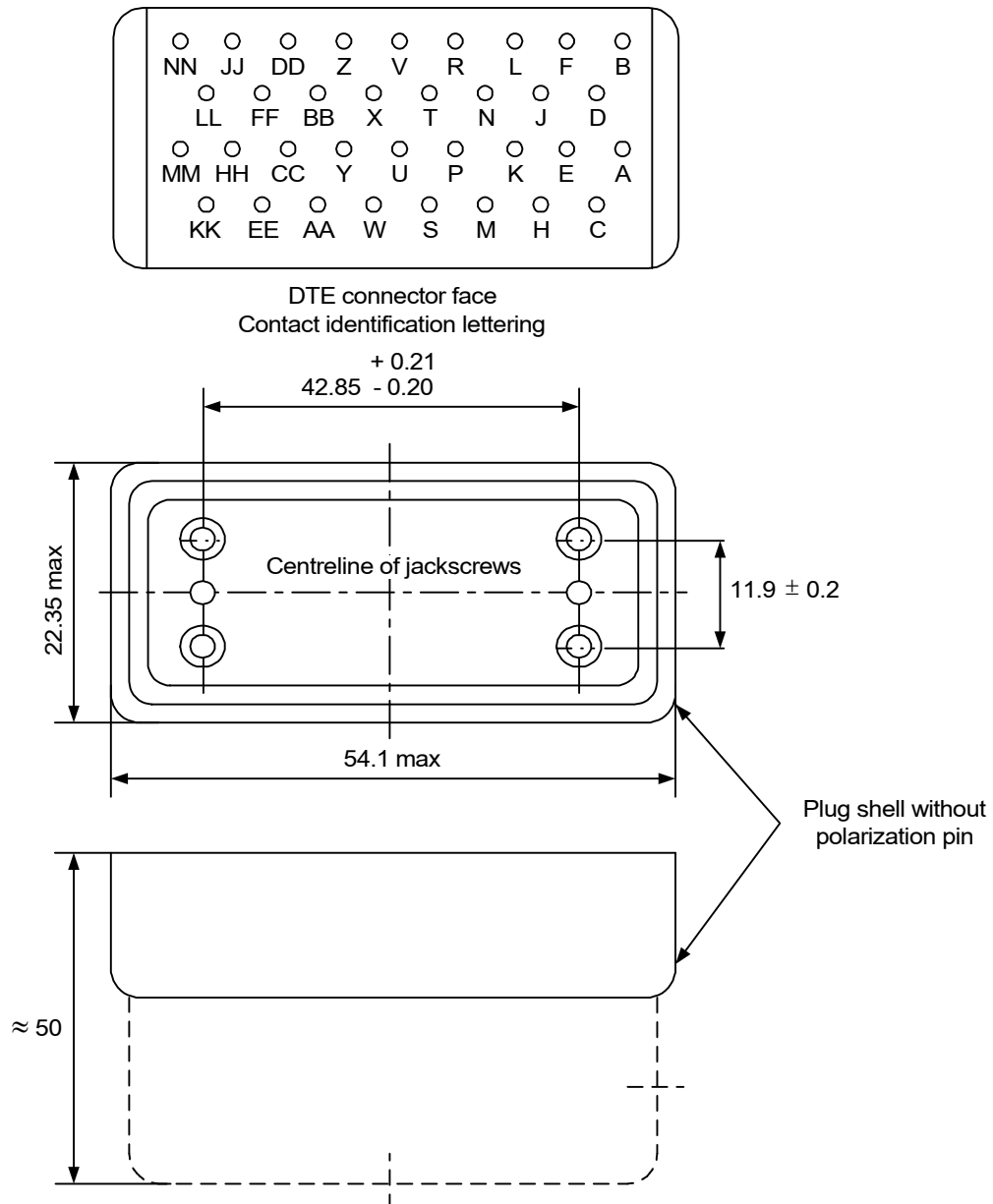


Figure B.1.1.1: DTE interface connector (dimensions in millimeters)

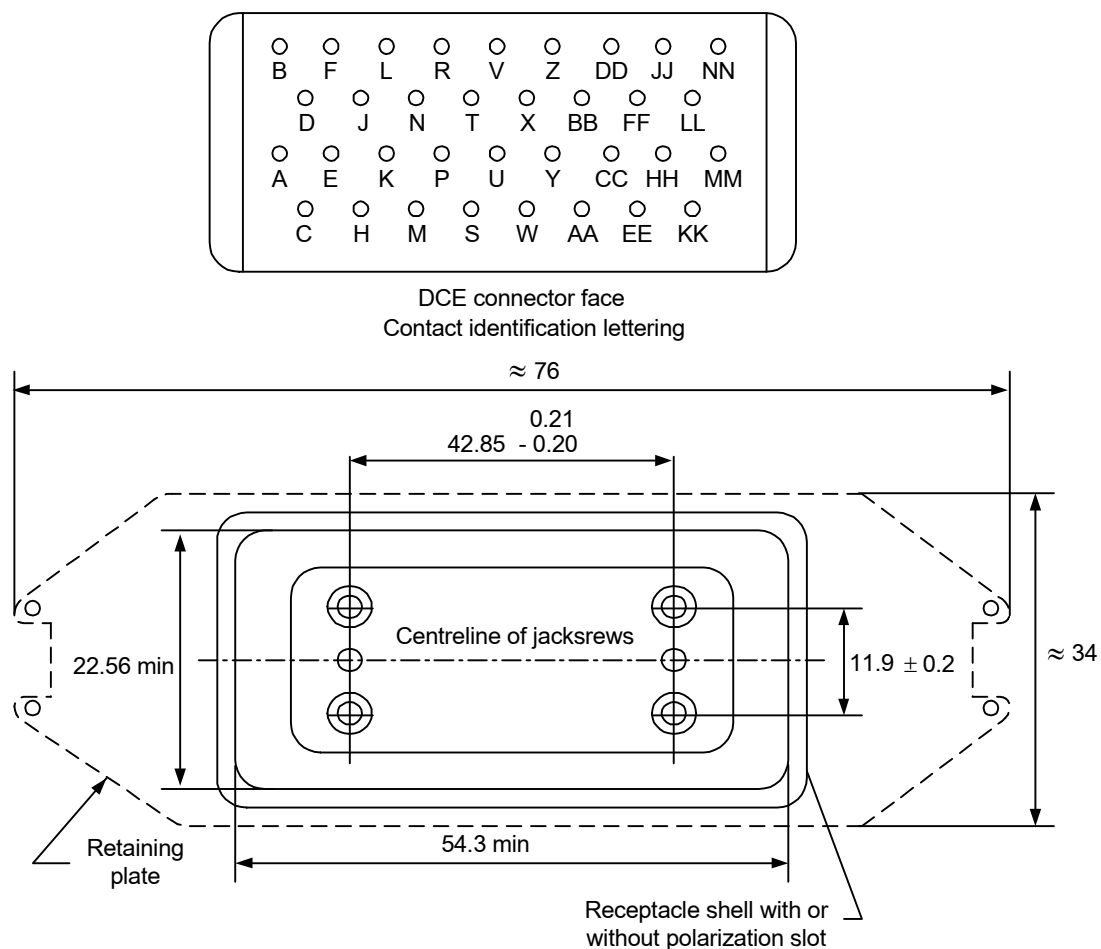


Figure B.1.1.2: DCE interface connector (dimensions in millimeters)

Table B.1.1.1: Assignment of pin number

Pin*	Function**	ITU-T circuit No.	Direction
A	See note 1	-	-
B	Signal ground or common return	102	Common
C	Request to send	105	From DTE
D	Ready for sending	106	To DTE
E	Data set ready	107	To DTE
F	Data channel received line signal detector	109	To DTE
H	Connect data set to line or Data terminal ready (see note 2)	108/1 108/2	From DTE From DTE
J	Calling indicator (see note 2)	125	To DTE
K	F <sub>1</sub>	-	-
L	Local loop back (see note 2)	-	-

**TCN 68 - 216: 2002**

Pin*	Function**	ITU-T circuit No.	Direction
N	Loop back/Maintenance Test (see note 2)	140	From DTE
R	Received data A-wire	104	From DTE
T	Received data B-wire	104	From DTE
V	Receiver signal element timing A-wire	115	To DTE
X	Receiver signal element timing B-wire	115	To DTE
Y	Transmitter signal element timing A-wire	114	To DTE
AA	Transmitter signal element timing B-wire	114	To DTE
P	Transmitted data A-wire	103	From DTE
S	Transmitted data B-wire	103	From DTE
U	Transmitter signal element timing A-wire (note 2)	113	From DTE
Z	F <sub>2</sub>	-	-
W	Transmitter signal element timing B-wire (note 2)	113	From DTE
BB	F <sub>2</sub>	-	-
CC	F <sub>3</sub>	-	-
DD	F <sub>4</sub>	-	-
EE	F <sub>3</sub>	-	-
FF	F <sub>4</sub>	-	-
HH	N <sub>1</sub>	-	-
JJ	N <sub>2</sub>	-	-
KK	N <sub>1</sub>	-	-
LL	N <sub>2</sub>	-	-
MM	F	-	-
NN	Test indicator (see note 2)	142	To DTE

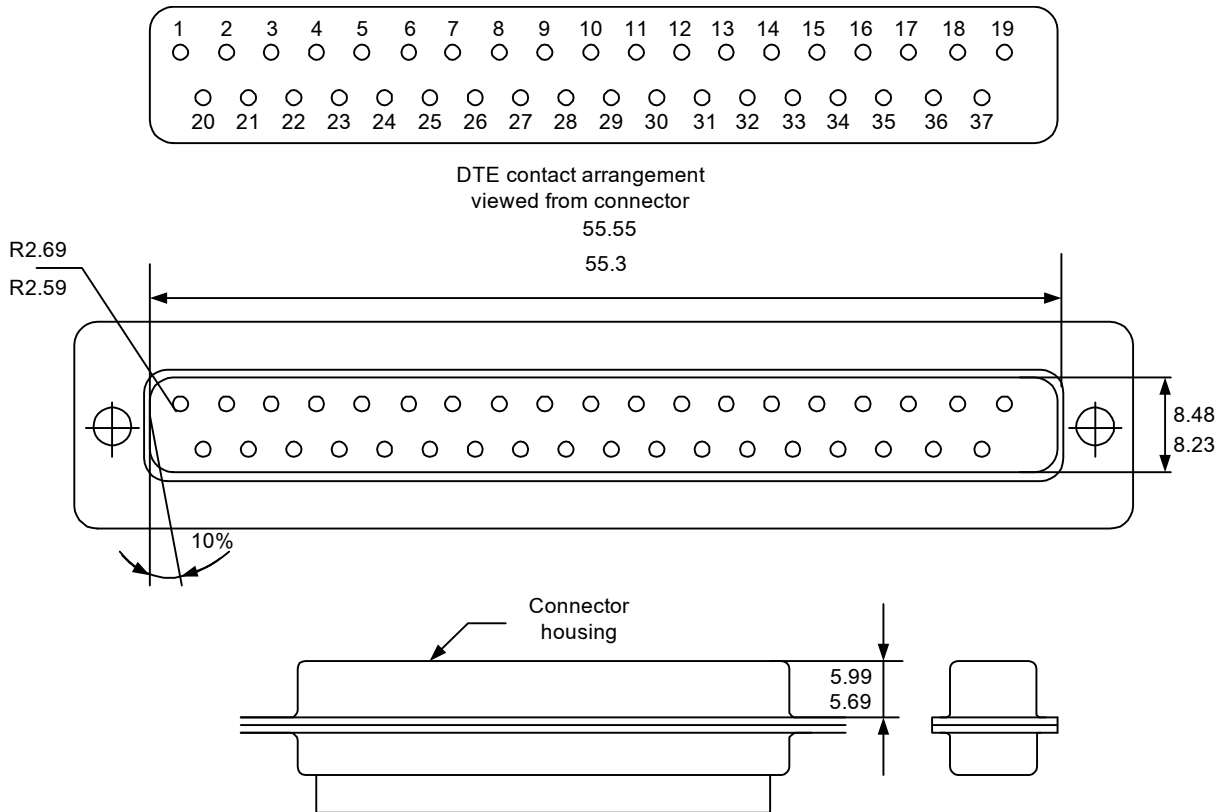
\* N = pin number permanently reserved for national use.

F = pin number reserved for future International Standard and should not be used for national use.

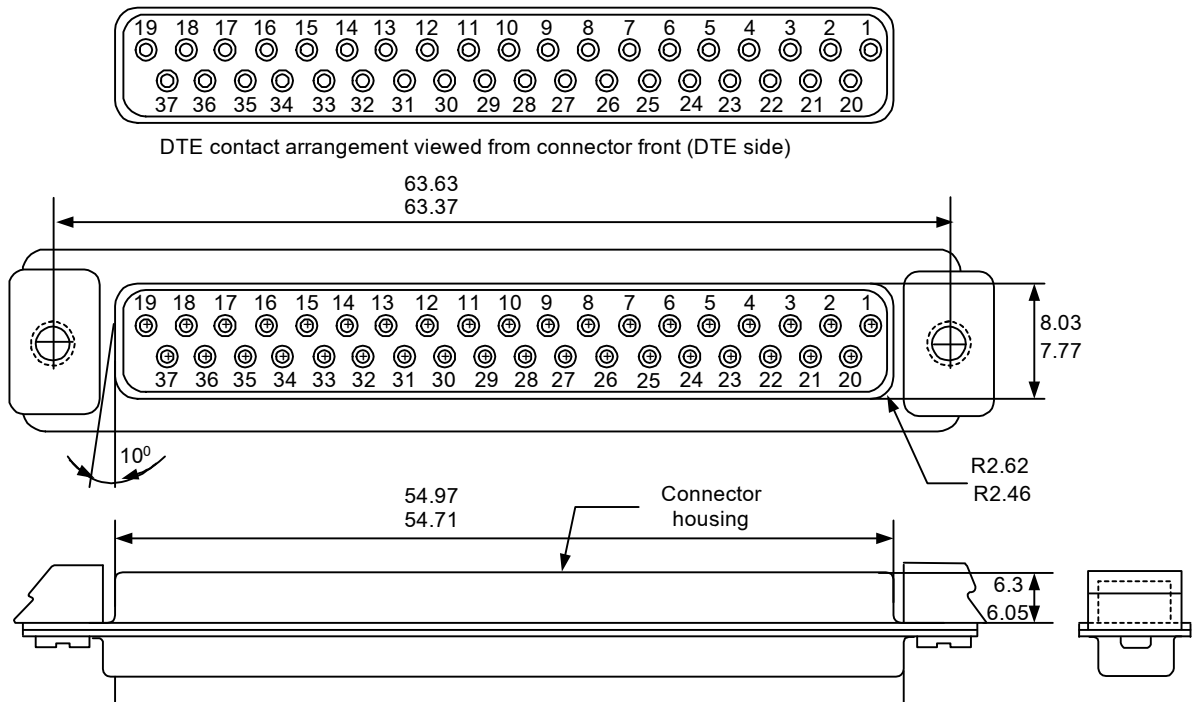
**Notes:**

1. Pin A is assigned for connecting the shield between tandem sections of the shielded interface cable. The shield may be connected either to protective ground or to signal ground at either DTE or DCE or both in accordance with national regulations. Signal ground may be connected to protective ground in accordance with national safety regulations. Caution should be exercised to prevent establishment of ground loops carrying high currents.
2. These functions are not included in CCITT Recommendation V.35 but where implemented on an optional basis the assigned pins should be used.

**B.1.2 ISO 4902 (DB37) 37-pole DTE/DCE interface connector**



*Figure B.1.2.1: DTE connector (dimensions in millimeters)*



*Figure B.1.2.2: DCE connector (dimensions in millimeters)*

*Table B.1.2.1: Assignment of contact numbers*

First segment assignment <sup>2)</sup>			Second segment assignment <sup>2)</sup>			Receiver category <sup>4)</sup>	Direction to	
Contact number	Circuit number	Interchange points <sup>3)</sup>	Contact number	Circuit number	Interchange points <sup>3)</sup>		DTE	DCE
<b>1</b>	<sup>1)</sup>					-	-	
<b>2</b>	N	A-A'	<b>20</b>	102b	C-B'	2	×	
<b>3</b>	N	A-A'	<b>21</b>	N	B/C-B'	1	×	
<b>4</b>	103	A-A'	<b>22</b>	103	B/C-B'	1		×
<b>5</b>	114	A-A'	<b>23</b>	114	B/C-B'	1	×	
<b>6</b>	104	A-A'	<b>24</b>	104	B/C-B'	1		×
<b>7</b>	105	A-A'	<b>25</b>	105	B/C-B'	1		×
<b>8</b>	115	A-A'	<b>26</b>	115	B/C-B'	1	×	
<b>9</b>	106	A-A'	<b>27</b>	106	B/C-B'	1	×	
<b>10</b>	141	A-A'	<b>28</b>	N	A-A'	2		×
<b>11</b>	107	A-A'	<b>29</b>	107	B/C-B'	1	×	
<b>12</b>	108*	A-A'	<b>30</b>	108*	B/C-B'	1	×	
<b>13</b>	109	A-A'	<b>31</b>	109	B/C-B'	1	×	
<b>14</b>	140	A-A'	<b>32</b>	N	A-A'	2		×
<b>15</b>	N	A-A'	<b>33</b>	N	A-A'	2	×	
<b>16</b>	111	A-A'	<b>34</b>	N	A-A'	2		×
<b>17</b>	113	A-A'	<b>35</b>	113	B/C-B'	1		×
<b>18</b>	142	A-A'	<b>36</b>	N	A-A'	2	×	
<b>19</b>	102	C-C'	<b>37</b>	102a	C-B'			×

Key: N - Contact permanently reserved for national use.

\* - Circuit 108/1 or circuit 108/2 (if one of them is provided)

**Notes:**

1. Contact 1 is assigned for connecting the shield between tandem sections of the shielded interface cable. The shield may be connected either to protective ground or to signal ground at either DTE or DCE or both in accordance with national regulations.
2. Signal ground may be further connected to protective ground in accordance with national safety regulations. Caution should be exercised to avoid establishment of ground loops carrying high currents.
3. The assignment of contact numbers for each segment has been aligned to specify pairing and connection to multipaired interconnecting cable. Each row of table presents the respectively paired contacts, i.e. 2 and 20, 3 and 21, etc.
4. A, A', B, B', C and C' indicate the associated interchange points as designated in figure 2 of CCITT Recommendation V.10 and V.11. Where B/C is indicated in table 1, the B designation applies only when a V.11 generator is used and the C designation applies only when a V.10 generator is used.

The receiver categories are as designated in V.10. Where category 1 receiver applies either V.10 or V.11 generators may be used. Only V.11 generators may be used for circuits 103, 104, and 114, 115. Where category 2 receiver apply, V.10 generators are used.



**B.1.3 ISO/IEC 10173***Table B.1.3: Contact assignment*

Contact	Terminal Interface
1 & 2	Receive pair
3	Shield reference point (if provided)
4 & 5	Transmit pair
6	Shield reference point (if provided)
7	Unused
8	Unused

**B.2 Table of requirements**

Items	Name	Requirement	Refer to other standards	
			Item	Name
<b>4</b>	<b>General technical requirements</b>			
4.1	Requirements of electrical safety and electromagnetic compatibility			
4.1.1	Protections against overvoltages and overcurrents	Conform to TCN 68 - 140: 1995	3.2.7	TCN 68 - 140: 1995
4.1.2	Guaranteeing safety for operators and users	Conform to TCN 68 - 190: 2000	3.2	TCN 68 - 190: 2000
4.1.3	Protection of user from overvoltages	Conform to TCN 68 - 190: 2000	3.2	TCN 68 - 190: 2000
4.1.4	Requirements of electromagnetic compatibility	Conform to TCN 68 - 191: 2000		TCN 68 - 190: 2000
4.2	Interconnection point			
4.2.1	Location	Figure 1		
4.2.2	Requirement	Power: 220 V AC $\pm$ 10% or 48 V DC $\pm$ 10%		
4.2.3	Type of connector	Depend on type of interface used		ISO 4902 ISO 2593 ISO/IEC 10173
4.3	Interface electrical requirements			
4.3.1	Type of interface	V.35; V.11 or G.703 64 kbit/s		
4.3.2	Data rate and timing			
4.3.2.1	Data rate	$n \times 64$ kbit/s ( $n = 1 \div 31$ )		
4.3.2.2	Timing	In both slave (default) and master-timing (option)		
4.3.3	Interchange circuits at interface			
<b>5</b>	<b>Electrical characteristics of interchange circuits for V.11 interface</b>			

## TCN 68 - 216: 2002

Items	Name	Requirement	Refer to other standards	
			Item	Name
5.1	Electrical characteristics of balanced interchange circuits	Conform to V.11		ITU-T V.11
5.1.1	Symbolic representation of interchange circuit	Figure 2	3	ITU-T V.11
5.1.2	Generator polarities and receiver signification levels		4	ITU-T V.11
5.1.2.1	Generator	Voltage between A and B in figure 2	4.1	ITU-T V.11
5.1.2.2	Receiver	Table 1	4.2	ITU-T V.11
5.1.3	Generator		5	ITU-T V.11
5.1.3.1	Resistance and DC offset voltage	Resistance $\leq 100 \Omega$ Offset voltage $\leq 3.0 \text{ V}$	5.1	ITU-T V.11
5.1.3.1	Static reference measurements		5.2	ITU-T V.11
a)	Open-circuit measurements	$ V_0  \leq 6.0 \text{ V}$ $ V_{0a}  \leq 6.0 \text{ V}$ $ V_{0b}  \leq 6.0 \text{ V}$	5.2.1	ITU-T V.11
b)	Test-termination measurements	$ V_t  \geq 2 \text{ V}$ $0.5 V_0 \leq  V_t $ $  V_t  -  -V_t   < 0.4 \text{ V}$ $ V_{0s}  \leq 3.0 \text{ V}$ $ V_{0s}(1) - V_{0s}(0)  < 0.4 \text{ V}$	5.2.2	ITU-T V.11
c)	Short-circuit measurements	$ I_{sa}  < 150 \text{ mA}$ $ I_{sb}  < 150 \text{ mA}$	5.2.3	ITU-T V.11
d)	Power-off measurements	$ I_{xa}  < 100 \mu\text{A}$ $ I_{xb}  < 100 \mu\text{A}$	5.2.4	ITU-T V.11
5.1.3.3	Dynamic voltage balance and rise time measurements	$V_E < 0.4 \text{ V}$ $t_b \geq 200 \text{ ns}, t_r \leq 0.1 t_b$ $t_b < 200 \text{ ns}, t_r \leq 20 \text{ ns}$	5.3	ITU-T V.11
5.1.4	Load		6	ITU-T V.11
5.1.4.1	Characteristics	In terms of parameters in figures 6 and 7.	6.1	ITU-T V.11
5.1.4.2	Receiver input voltage-current measurements	According to figure 6	6.2	ITU-T V.11
5.1.4.3	DC input sensitivity measurements	According to table 2	6.3	ITU-T V.11
5.1.4.4	Input balance test	Receiver shall remain in intended binary state under conditions:	6.4	ITU-T V.11

Items	Name	Requirement	Refer to other standards	
			Item	Name
		a) $V_i = +720 \text{ mV}$ $V_{cm}: -7 \text{ V} \div +7 \text{ V}$ b) $V_i = -720 \text{ mV}$ $V_{cm}: -7 \text{ V} \div +7 \text{ V}$ c) $V_i = +300 \text{ mV}$ $V_{cm}: 1.5 \text{ V (peak-peak)}$ d) $V_i = -300 \text{ mV}$ $V_{cm}: 1.5 \text{ V (peak-peak)}$		
5.1.4.5	Terminator	$Z < 100 \Omega$	6.5	ITU-T V.11
5.2	Electrical characteristics of unbalanced interchange circuits	Conform to V.28		ITU-T V.28
5.2.1	Interchange equivalent circuit	Figure 9	2	ITU-T V.28
5.2.2	Load	$3000 \Omega < R_L < 7000 \Omega$ $C_L \leq 2500 \text{ pF}$	3	ITU-T V.28
5.2.3	Generator	$V_0 \leq 15 \text{ V}$	4	ITU-T V.28
5.2.4	Significant levels	Table 3	5	ITU-T V.28
5.2.5	Signal characteristics		6	ITU-T V.28
<b>6</b>	<b>Electrical characteristics of interchange circuits for V.35 interface</b>			ITU-T V.35
6.1	Electrical characteristics of balanced interchange circuits		Appendix II	ITU-T V.35
6.1.1	Generator		II.3	ITU-T V.35
a)	Impedance	$50 \div 150 \Omega$	a)	ITU-T V.35
b)	Resistance between shorted terminals and 102 circuit	$150 \pm 15 \Omega$	a)	ITU-T V.35
c)	Voltage between terminal-terminal	$0.55 \text{ V} \pm 20\%$	b)	ITU-T V.35
d)	Rise time between 10% and 90% points of any change state when terminated as in c)	Less than 1% of nominal duration of signal element or 40 ns, whichever is the greater	c)	ITU-T V.35
e)	DC line offset	$\leq 0.6 \text{ V}$	e)	ITU-T V.35
6.1.2	Load		II.4	ITU-T V.35
a)	Input impedance	$100 \pm 10 \Omega$	a)	ITU-T V.35
b)	Resistance between shorted terminals and 102 circuit	$150 \pm 15 \Omega$	b)	ITU-T V.35
6.1.3	Cable	Balanced twisted multi-pair type with characteristic impedance: $80 \div 120 \Omega$	II.5	ITU-T V.35
<b>7</b>	<b>Electrical characteristics of G.703 64 kbit/s interface</b>		5.2	ETSI EN 300 290

Items	Name	Requirement	Refer to other standards	
			Item	Name
7.1	Output port		5.2.1	ETSI EN 300 290
7.1.2	Signal coding		4.2.1.1	ITU-T G.703
7.1.2	Waveform shape	Table 4, figures 13 and 14	5.2.1.2	ETSI EN 300 290
7.1.3	Output timing	- From RX - External source	5.2.1.3	ETSI EN 300 290
7.1.4	Output jitter	Table 5	5.2.1.4	ETSI EN 300 290
7.1.5	Impedance toward ground	> 1000 Ω	5.2.15	ETSI EN 300 290
7.1.6	Longitudinal conversion loss	Table 6	5.2.1.6	ETSI EN 300 290
7.2	Input port		5.2.2	ETSI EN 300 290
7.2.1	Signal coding	Article 7.1.1	5.2.2.1	ETSI EN 300 290
7.2.3	Input clock tolerance	Figure 15 and table 7	5.2.2.3	ETSI EN 300 290
7.2.4	Input loss tolerance		5.2.2.5	ETSI EN 300 290
7.2.5	Immunity against reflections		5.2.2.6	ETSI EN 300 290
7.2.6	Input return loss	Table 8	5.2.2.4	ETSI EN 300 290
7.2.7	Impedance towards ground	> 1000 Ω	5.2.2.5	ETSI EN 300 290
7.2.8	Longitudinal conversion loss	Table 9	5.2.2.6	ETSI EN 300 290

### **B.3 Pseudo-random pattern of $2^{11} - 1$ (2047 bit) pattern length**

This pattern is primarily intended for error and jitter measurements on circuits operating at bit rates of 64 kbit/s and  $n \times 64$  kbit/s.

The pattern may be generated in an eleven-stage shift register whose 9th and 11th stage outputs are added in a modulo-two addition stage, and the result is fed back to the input of the first stage.

- + Number of shift register stages            11
- + Length of pseudo-random sequence     $2^{11} - 1 = 2047$  bit
- + Longest sequence of ZEROs                10