

TCN 68 - 217: 2002

**THIẾT BỊ ĐẦU CUỐI KẾT NỐI VÀO MẠNG VIỄN THÔNG
CÔNG CỘNG SỬ DỤNG KÊNH THUÊ RIÊNG TỐC ĐỘ 2048 kbit/s
YÊU CẦU KỸ THUẬT**

**TERMINAL EQUIPMENT CONNECTED TO
THE PUBLIC TELECOMMUNICATIONS NETWORKS (PTNs)
USING 2048 kbit/s DIGITAL STRUCTURED LEASED LINE
TECHNICAL REQUIREMENTS**

MỤC LỤC

<i>Lời nói đầu</i>	4
1. Phạm vi áp dụng	5
2. Tài liệu tham chiếu chuẩn	5
3. Thuật ngữ, định nghĩa và các chữ viết tắt	6
3.1 Thuật ngữ, định nghĩa	6
3.2 Các chữ viết tắt	7
4. Yêu cầu kỹ thuật	7
4.1 Các yêu cầu về an toàn điện và tương thích điện từ trường	7
4.2 Các yêu cầu về điện của giao diện.....	8
Phụ lục A (Quy định): Các phương pháp kiểm tra	16
A.1 Mã hoá tín hiệu ở cổng lối ra.....	16
A.2 Dạng xung ở cổng lối ra.....	26
A.3 Định thời lối ra.....	27
A.4 Suy hao phản xạ ở cổng lối vào	28
A.5 Giới hạn suy hao lối vào và miễn nhiệm với các phản xạ.....	29
A.6 Khả năng chịu điện áp dọc, mã hoá lối vào HDB3.....	20
A.7 Trở kháng so với đất.....	21
A.8 Rung pha lối ra và lối vào	21
A.9 Cấu trúc khung.....	23
A.10 Cấu trúc khung lối vào	27
Phụ lục B (Quy định): Định nghĩa mã HDB3	30
B.1 Khái quát.....	30
B.2 Định nghĩa	30
Phụ lục C (Quy định): Định nghĩa cấu trúc khung	31
C.1 Cấu trúc khung.....	31
C.2 CRC-4	31
Phụ lục D (Quy định): Danh sách các yêu cầu	33

CONTENTS

<i>Foreword</i>	34
1. Scope	35
2. Normative references	35
3. Definitions and Abbreviations	36
3.1 Definitions.....	36
3.2 Abbreviations	37
4. Technical requirements	37
4.1 Requirements of electrical safety and electromagnetic compatibility	37
4.2 Electrical characteristics	38
Annex A (Normative): Test methods	46
A.1 Signal coding at the output port.....	46
A.2 Waveform shape at output port.....	46
A.3 Output timing.....	47
A.4 Return loss at input port	49
A.5 Input loss tolerance and immunity against reflections	50
A.6 Tolerable longitudinal voltage, HDB3 input coding.....	51
A.7 Impedance towards ground	53
A.8 Input and output jitter.....	53
A.9 Frame structure.....	55
A.10 Input frame structure.....	59
Annex B (Normative): Definition of HDB3 code	63
B.1 General.....	63
B.2 Definition.....	63
Annex C (Normative): Definition of frame structure	64
C.1 Frame structure	64
C.2 CRC-4.....	64
Annex D (Normative): Requirement table (RT)	66

LỜI NÓI ĐẦU

Tiêu chuẩn Ngành TCN 68 - 217: 2002 “**Thiết bị đầu cuối kết nối vào mạng viễn thông công cộng sử dụng kênh thuê riêng tốc độ 2048 kbit/s - Yêu cầu kỹ thuật**” được xây dựng trên cơ sở chấp thuận áp dụng nguyên vẹn tiêu chuẩn ETSI EN 300 420 của Viện Tiêu chuẩn Viễn thông châu Âu.

Tiêu chuẩn Ngành TCN 68 - 217: 2002 do Viện Khoa học Kỹ thuật Bưu điện (RIPT) biên soạn, Vụ Khoa học - Công nghệ đề nghị và được Bộ Bưu chính, Viễn thông ban hành theo Quyết định số 34/2002/QĐ-BBCVT ngày 31 tháng 12 năm 2002.

Tiêu chuẩn Ngành TCN 68 - 217: 2002 được ban hành dưới dạng song ngữ (tiếng Việt và tiếng Anh). Trong trường hợp có tranh chấp về cách hiểu do biên dịch, bản tiếng Việt được áp dụng.

VỤ KHOA HỌC - CÔNG NGHỆ

THIẾT BỊ ĐẦU CUỐI KẾT NỐI VÀO MẠNG VIỄN THÔNG CÔNG CỘNG SỬ DỤNG KÊNH THUÊ RIÊNG TỐC ĐỘ 2048 kbit/s

YÊU CẦU KỸ THUẬT

(Ban hành kèm theo Quyết định số 34/2002/QĐ-BBCVT ngày 31/12/2002 của Bộ trưởng Bộ Bưu chính, Viễn thông)

1. Phạm vi áp dụng

Tiêu chuẩn này quy định các yêu cầu kỹ thuật, các đặc tính chức năng cần thiết và các nguyên tắc kiểm tra tương ứng đối với giao diện của thiết bị đầu cuối kết nối vào mạng viễn thông công cộng (PTNs) sử dụng kênh thuê riêng được cấu trúc số 2048 kbit/s có trở kháng 120Ω với tốc độ truyền tin 1984 kbit/s.

Tiêu chuẩn này nhằm đảm bảo cho giao diện của thiết bị đầu cuối tương thích với kênh thuê riêng được cấu trúc số 2048 kbit/s. Một giao diện thiết bị đầu cuối phù hợp với tiêu chuẩn này sẽ tương thích với kênh thuê riêng chưa được cấu trúc số 2048 kbit/s.

Tiêu chuẩn này làm sở cứ cho chứng nhận hợp chuẩn và đo kiểm các thiết bị đầu cuối thuê bao kết nối vào mạng viễn thông công cộng sử dụng kênh thuê riêng được cấu trúc số tốc độ 2048 kbit/s.

2. Tài liệu tham chiếu chuẩn

- [1] ITU-T Recommendation G.703 (1998): "*Physical/electrical characteristics of hierarchical digital interfaces*".
- [2] ITU-T Recommendation G.704 (1998): "*Synchronous frame structures used at 1 544, 6 312, 2 048, 8 448 and 44 736 kbit/s hierarchical levels*".
- [3] ITU-T Recommendation O.151 (1992): "*Error performance measuring equipment operating at the primary rate and above*".
- [4] ITU-T Recommendation O.171 (1997): "*Timing jitter and wander measuring equipment for digital systems which are based on the plesiochronous digital hierarchy (PDH)*".

- [5] ETSI EN 300 418: "Access and Terminals (AT); 2048 kbit/s digital unstructured and structured leased lines (D2048U and D2048S); Network interface presentation".
- [6] ETSI EN 300 419: "Access and Terminals (AT); 2048 kbit/s digital structured leased lines (D2048S); Connection characteristics".
- [7] TCN 68 - 140: 1995: "Chống quá áp, quá dòng để bảo vệ đường dây và thiết bị thông tin - Yêu cầu kỹ thuật".
- [8] TCN 68 - 190: 2000: "Thiết bị đầu cuối viễn thông - Yêu cầu an toàn điện".
- [9] TCN 68 - 191: 2000: "Tương thích điện từ trường - Thiết bị viễn thông yêu cầu chung về phát xạ".
- [10] TCN 68 - 172: 1998: "Giao diện kết nối mạng - Yêu cầu kỹ thuật".

3. Thuật ngữ, định nghĩa và các chữ viết tắt

3.1 Thuật ngữ, định nghĩa

Kênh thuê riêng: là phương tiện viễn thông của mạng viễn thông công cộng cung cấp các đặc tính truyền dẫn xác định giữa các điểm kết cuối mạng và không bao gồm các chức năng chuyển mạch mà người sử dụng có thể điều khiển được (ví dụ: chuyển mạch theo yêu cầu).

Điểm kết cuối mạng: là các kết nối vật lý và các thông số kỹ thuật của chúng tạo thành một phần của mạng viễn thông công cộng, giúp cho việc truy nhập và truyền tin có hiệu quả qua mạng viễn thông đó.

Thiết bị đầu cuối: là thiết bị dùng để kết nối tới mạng viễn thông công cộng để gửi, xử lý hay thu thập thông tin.

Đa khung con bị lỗi: là đa khung con mà tại đó kiểm tra dư vòng 4 bit (CRC-4) được tính ra không đúng với CRC-4 có trong đa khung con tiếp theo (xem mục C.2.2).

Khung: là chuỗi gồm 256 bit, trong đó 8 bit đầu tiên xác định cấu trúc khung (xem phụ lục C).

Đa khung: là chuỗi gồm hai đa khung con có chứa từ đồng bộ đa khung (xem phụ lục C).

PRBS(2¹⁵-1): là chuỗi bit giả ngẫu nhiên (PRBS).

Các bit S_a: là các bit từ 4 đến 8 (các bit từ S_{a4} đến S_{a8}) trong những khung không chứa tín hiệu đồng bộ khung (xem phụ lục C).

Đa khung con (SMF): là chuỗi gồm 8 khung, mỗi khung có 256 bit, qua đó tính ra CRC-4 (xem phụ lục C).

3.2 Các chữ viết tắt

AIS	Tín hiệu chỉ thị cảnh báo
AMI	Mã đảo cực luân phiên
CRC-4	Kiểm tra dư vòng 4 bit
D2048S	Kênh thuê riêng được cấu trúc số tốc độ 2048 kbit/s
DC	Dòng một chiều
EMC	Tương thích điện từ
HDB3	Mã lưỡng cực mật độ cao bậc 3
ISDN	Mạng số liên kết đa dịch vụ
NTP	Điểm kết cuối mạng
ppm	Phần triệu
PRBS	Chuỗi bit giả ngẫu nhiên
RAI	Chỉ thị cảnh báo đầu xa
r.m.s	Giá trị hiệu dụng
RT	Bảng các yêu cầu
SDH	Truyền dẫn phân cấp số đồng bộ
SMF	Đa khung con
UI	Khoảng đơn vị

4. Yêu cầu kỹ thuật

4.1 Các yêu cầu về an toàn điện và tương thích điện từ trường

4.1.1 Đảm bảo chống quá áp quá dòng

Độ bền điện của thiết bị đối với quá áp khí quyển, cảm ứng tức thời và tiếp xúc với đường điện lực tuân theo tiêu chuẩn Ngành TCN 68 - 140: 1995 "Chống quá áp, quá dòng để bảo vệ đường dây và thiết bị thông tin - Yêu cầu kỹ thuật", mục 3.2.7.

4.1.2 Đảm bảo an toàn cho khai thác viên và người sử dụng

Thiết bị phải đảm bảo an toàn cho khai thác viên và người sử dụng theo tiêu chuẩn Ngành TCN 68 - 190: 2000 "Thiết bị đầu cuối viễn thông - Yêu cầu an toàn điện", mục 3.2.

4.1.3 Bảo vệ người sử dụng khỏi quá áp trên mạng viễn thông

Thiết bị phải đảm bảo yêu cầu cách ly bảo vệ người sử dụng khỏi quá áp trên

TCN 68 - 217: 2002

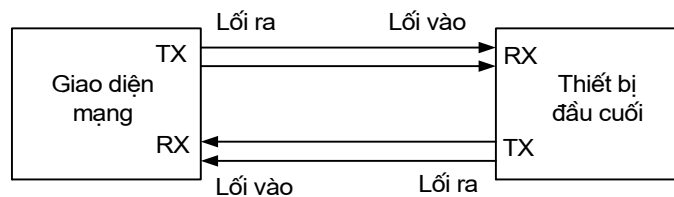
mạng viễn thông theo tiêu chuẩn Ngành TCN 68 - 190: 2000 "Thiết bị đầu cuối viễn thông - Yêu cầu an toàn điện".

4.1.4 Yêu cầu về tương thích điện từ trường

Thiết bị phải đảm bảo tương thích điện từ trường theo tiêu chuẩn Ngành TCN 68 - 191: 2000 "Tương thích điện từ trường - Thiết bị viễn thông yêu cầu chung về phát xạ".

4.2 Các yêu cầu về điện của giao diện

Đôi dây truyền là lối ra từ giao diện thiết bị đầu cuối. Đôi dây nhận là lối vào giao diện thiết bị đầu cuối, như được minh họa trong hình 1.



Hình 1

4.2.1 Cổng lối ra

4.2.1.1 Mã hoá tín hiệu

Yêu cầu: tín hiệu truyền đi ở cổng lối ra phải phù hợp với luật mã hoá lưỡng cực mật độ cao bậc 3 (HDB3) (xem phụ lục B).

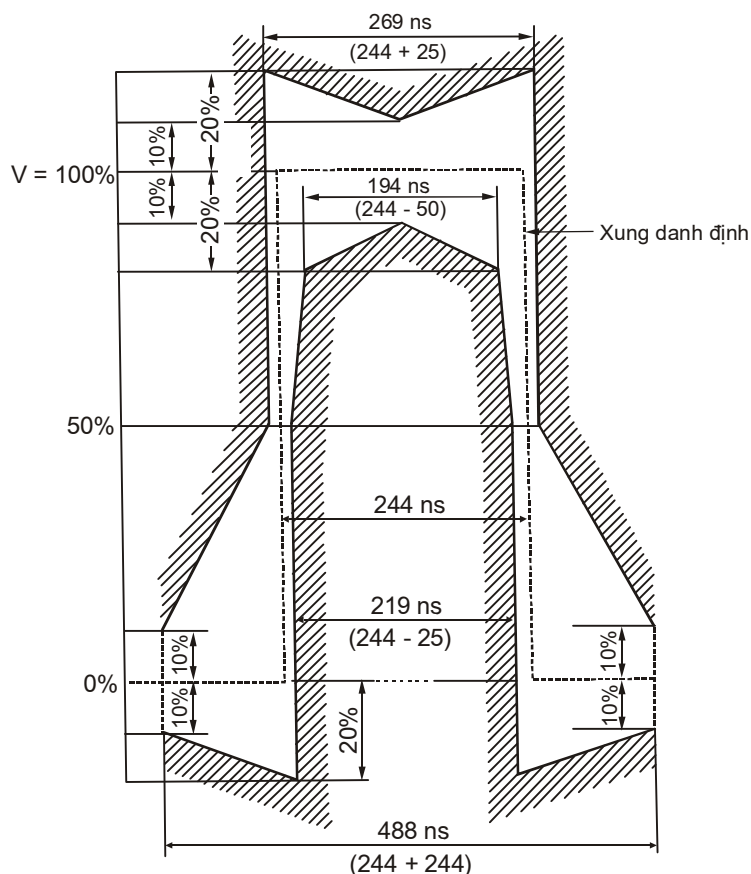
Kiểm tra: tiến hành kiểm tra theo mục A.1.

4.2.1.2 Dạng xung

Yêu cầu: xung ở cổng lối ra phải phù hợp với các yêu cầu nêu trong bảng 1 và hình 2 (được dựa trên Khuyến nghị G.703 của ITU-T [1]).

Bảng 1: Dạng xung ở cổng lối ra

Dạng xung (dạng danh định là hình chữ nhật)	Tất cả các xung của tín hiệu hợp lệ phải tuân theo mật độ xung như quy định trong hình 2 (đối với mọi cực tính). Giá trị V tương ứng với giá trị đỉnh danh định.
Trở kháng tải thử	120 Ω thuần trở
Điện áp đỉnh danh định khi có xung V	3V
Điện áp đỉnh khi không có xung	0 \pm 0,3 V
Độ rộng xung danh định	244 ns
Tỷ số biên độ của xung dương và xung âm tại điểm giữa của khoảng xung	0,95 đến 1,05
Tỷ số độ rộng của xung dương và xung âm tại một nửa biên độ danh định	0,95 đến 1,05



Chú ý: V tương ứng với giá trị đỉnh danh định

Hình 2: Mặt nạ xung 2048 kbit/s

Kiểm tra: tiến hành kiểm tra theo mục A.2.

4.2.1.3 Định thời lối ra

Yêu cầu: thiết bị đầu cuối phải có:

- Một đồng hồ nội tạo ra một tốc độ bit ở cổng lối ra nằm trong giới hạn 2048 kbit/s \pm 50 phần triệu; và
- Khả năng cung cấp một mạch vòng tín hiệu đồng hồ sao cho định thời tín hiệu ở cổng lối ra được cấp từ định thời ở cổng lối vào.

Kiểm tra: đối với trường hợp a), cần tiến hành kiểm tra theo mục A.3. Trường hợp b), khả năng cung cấp một mạch vòng tín hiệu đồng hồ, được kiểm tra theo mục A.8.

4.2.1.4 Trở kháng so với đất

Yêu cầu: khi thiết bị đầu cuối tiếp đất thì trở kháng so với đất của cổng lối ra phải lớn hơn 1000 Ω trong dải tần từ 10 Hz đến 1 MHz khi được đo bằng một điện

TCN 68 - 217: 2002

áp kiểm tra hình sin có giá trị hiệu dụng là 2 V. Để thoả mãn yêu cầu này, đất phải là điểm chung của thiết bị đầu cuối hoặc là điểm chuẩn kiểm tra.

Kiểm tra: tiến hành kiểm tra theo mục A.7.

4.2.1.5 Rung pha lối ra

Yêu cầu: rung pha lối ra đỉnh - đỉnh không được vượt quá giới hạn của bảng 2 khi được đo bằng một bộ lọc thông dải có đường cắt với các tần số cắt được định trước. Ở các tần số thấp hơn tần số tại điểm 3 dB dưới, suy hao của bộ lọc thông cao phải tăng với giá trị tương đương là 20 dB/ 10 độ chia. Ở các tần số cao hơn tần số tại điểm 3 dB trên, suy hao của bộ lọc thông thấp phải tăng với giá trị lớn hơn hoặc tương đương 60 dB/ 10 độ chia.

Để kiểm tra, bất kỳ tín hiệu lối vào nào cấp định thời lối ra đều phải được cung cấp rung pha lối vào và độ lệch tần số lối vào với dung sai lớn nhất theo như chỉ định của nhà sản xuất.

Khi định thời lối ra của thiết bị đầu cuối được cấp từ kênh thuê riêng, lối vào của thiết bị đầu cuối phải được cung cấp các thành phần của rung pha hình sin trên đường cong của hình 3 và bảng 2.

Bảng 2: Rung pha lối ra cực đại

Băng tần bộ lọc đo		Rung pha lối ra
Băng cao	Băng thấp	Khoảng đơn vị (UI) đỉnh - đỉnh (cực đại)
40 Hz	100 kHz	0,11 UI

Kiểm tra: tiến hành kiểm tra theo mục A.8.

4.2.1.6 Cấu trúc lối ra

Yêu cầu: chuỗi bit được truyền đi tại lối ra của thiết bị đầu cuối sẽ được cấu trúc như được định rõ trong mục C.1.

Kiểm tra: tiến hành kiểm tra theo mục A.9.1.

4.2.1.6.1 CRC-4

Yêu cầu: các bit CRC-4 được truyền đi tại lối ra của thiết bị đầu cuối được quy định như trong bảng C.1, bảng C.2 và mục C.2.1 thuộc phụ lục C và phải phù hợp với các dữ liệu được truyền đi tại lối ra của thiết bị đầu cuối.

Kiểm tra: tiến hành kiểm tra theo mục A.9.1.

4.2.1.6.2 Sử dụng các bit E

4.2.1.6.2.1 Thiết bị đầu cuối không sử dụng các bit E

Yêu cầu: trong mọi trường hợp, các bit E được truyền đi tại lối ra của thiết bị đầu cuối đều được đưa về giá trị nhị phân MỘT.

Kiểm tra: Cần tiến hành kiểm tra theo mục A.9.2.

4.2.1.6.2.2 Thiết bị đầu cuối sử dụng bit E để chỉ thị các SMF lỗi

Yêu cầu: các bit E được truyền đi tại lối ra của thiết bị đầu cuối phải chỉ thị các SMF bị lỗi trong chuỗi bit lối vào. Một bit E trong đa khung sẽ được đưa về giá trị nhị phân KHÔNG đối với mỗi SMF bị lỗi nhận được trong chuỗi bit lối vào. Các bit E tương ứng với các SMF không bị lỗi sẽ được đưa về giá trị nhị phân MỘT. Khoảng thời gian từ lúc nhận ra một SMF bị lỗi đến lúc đưa bit E chỉ thị SMF bị lỗi đó về giá trị KHÔNG phải nhỏ hơn 1 giây.

Kiểm tra: tiến hành kiểm tra theo mục A.9.3.

4.2.1.6.3 Sử dụng bit A

4.2.1.6.3.1 Thiết bị đầu cuối không sử dụng bit A

Yêu cầu: trong mọi trường hợp bit A được truyền đi tại lối ra của thiết bị đầu cuối phải được đưa về giá trị nhị phân KHÔNG.

Kiểm tra: tiến hành kiểm tra theo mục A.9.4.

4.2.1.6.3.2 Thiết bị đầu cuối sử dụng bit A

Yêu cầu: bit A được truyền đi tại lối ra của thiết bị đầu cuối phải được đưa về giá trị KHÔNG trong hoạt động thường nhưng có thể bị thay đổi từ giá trị nhị phân KHÔNG thành giá trị nhị phân MỘT trong vòng 30 ms nếu bất cứ một điều kiện nào trong những điều kiện sau đây xảy ra ở chuỗi bit lối vào:

a) Ba tín hiệu đồng bộ khung sai liên tiếp nhau (tín hiệu đồng bộ khung đúng được định nghĩa trong bảng C.1);

b) Có 915 SMF lỗi trong số 1000 SMF.

Thiết bị đầu cuối cũng có thể thay đổi bit A từ giá trị nhị phân KHÔNG thành giá trị nhị phân MỘT trong vòng 30 ms nếu:

c) Bit 2 thuộc các khung không chứa tín hiệu đồng bộ khung bị lỗi (tức là bit 2 có giá trị nhị phân KHÔNG) trong ba lần liên tiếp.

Đối với một thiết bị đầu cuối đang khôi phục việc mất đồng bộ khung (tức là bit A được đưa về giá trị nhị phân MỘT) thì bit A được truyền qua lối ra của thiết

bị đầu cuối sẽ được chuyển từ giá trị nhị phân MỘT về giá trị nhị phân KHÔNG trong vòng 30 ms nếu bất kỳ điều kiện nào trong những điều kiện sau đây xảy ra trong chuỗi bit lỗi vào:

d) Sự xuất hiện lần đầu tiên của tín hiệu đồng bộ khung đúng (như được định nghĩa trong bảng C.1); và

e) Sự mất tín hiệu đồng bộ khung trong khung tiếp theo được phát hiện bằng cách xác định rằng bit 2 của khung cơ bản có giá trị nhị phân MỘT; và

f) Sự xuất hiện lần thứ hai tín hiệu đồng bộ khung đúng trong khung tiếp theo.

Kiểm tra: Cần tiến hành kiểm tra theo mục A.9.4.

4.2.2 Cổng lỗi vào

4.2.2.1 Mã hoá tín hiệu

Yêu cầu: cổng lỗi vào phải giải mã các tín hiệu đã được mã hoá HDB3 theo các quy tắc mã hoá HDB3 (xem phụ lục B) mà không bị lỗi.

Kiểm tra: tiến hành kiểm tra theo mục A.6.

4.2.2.2 Suy hao phản xạ lỗi vào

Yêu cầu: suy hao phản xạ lỗi vào với điện trở 120 Ω tại giao diện phải lớn hơn hoặc bằng các giá trị ghi trong bảng 3. Các giá trị này được trích từ mục 9.3 thuộc Khuyến nghị ITU-T G.703 [1].

Bảng 3: Suy hao phản xạ lỗi vào nhỏ nhất

Dải tần số	Suy hao phản xạ
51 kHz - 102 kHz	12 dB
102 kHz - 2048 kHz	18 dB
2048 kHz - 3072 kHz	14 dB

Kiểm tra: Tiến hành kiểm tra theo mục A.4.

4.2.2.3 Giới hạn suy hao lỗi vào

Yêu cầu: lỗi vào phải giải mã mà không bị lỗi một tín hiệu 2048 kbit/s như được định nghĩa trong các mục 4.2.1.1 và 4.2.1.2 ở trên nhưng đã được thay đổi bởi một dây cáp hoặc dây cáp nhân tạo có các đặc tính sau:

a) Suy hao tuân theo luật f với các giá trị nằm trong dải từ 0 tới 6 dB tại tần số 1024 kHz; và

b) Trở kháng đặc tính bằng 120 Ω với dung sai $\pm 20\%$ trong dải tần số từ 200 kHz tới (nhưng không bao gồm) 1 MHz và dung sai $\pm 10\%$ tại tần số 1 MHz.

Kiểm tra: Tiến hành kiểm tra theo mục A.5.

4.2.2.4 Miễn nhiệm với các phản xạ

Yêu cầu: khi một tín hiệu là kết hợp của một tín hiệu bình thường và một tín hiệu nhiễu được đưa vào lối vào, thông qua một dây cáp nhân tạo có suy hao nằm trong dải từ 0 tới 6 dB tại 1 MHz, thì tín hiệu nhiễu không được gây ra lỗi.

Tín hiệu bình thường là một tín hiệu được mã hoá theo HDB3, có dạng xung như hình 2, có nội dung là chuỗi bit giả ngẫu nhiên PRBS($2^{15}-1$).

Tín hiệu nhiễu là một tín hiệu giống như tín hiệu bình thường ngoại trừ mức tín hiệu bị suy hao đi 18 dB, tốc độ bit trong khoảng 2048 kbit/s \pm 50 phần triệu và định thời không đồng bộ với tín hiệu bình thường.

Kiểm tra: tiến hành kiểm tra theo mục A.5.

4.2.2.5 Khả năng chịu điện áp dọc

Yêu cầu: bộ thu tín hiệu phải hoạt động mà không bị lỗi với bất cứ tín hiệu lối vào nào nếu có điện áp dọc có giá trị hiệu dụng là 2 V trong dải tần số từ 10 Hz đến 30 MHz.

Kiểm tra: tiến hành kiểm tra theo mục A.6.

4.2.2.6 Trở kháng so với đất

Yêu cầu: khi thiết bị đầu cuối tiếp đất thì trở kháng so với đất của lối vào phải lớn hơn 1000 Ω trong dải tần từ 10 Hz đến 1 MHz khi được đo bằng một điện áp kiểm tra hình sin có giá trị hiệu dụng là 2 V. Để thoả mãn yêu cầu này, đất phải là điểm chung của thiết bị đầu cuối hoặc là điểm chuẩn kiểm tra.

Kiểm tra: tiến hành kiểm tra theo mục A.7.

4.2.2.7 Giới hạn rung pha lối vào

Yêu cầu: thiết bị đầu cuối phải chịu được rung pha lối vào lớn nhất như được ghi ở bảng 4 và hình 3 tại lối vào.

Bảng 4: Giới hạn rung pha lối vào

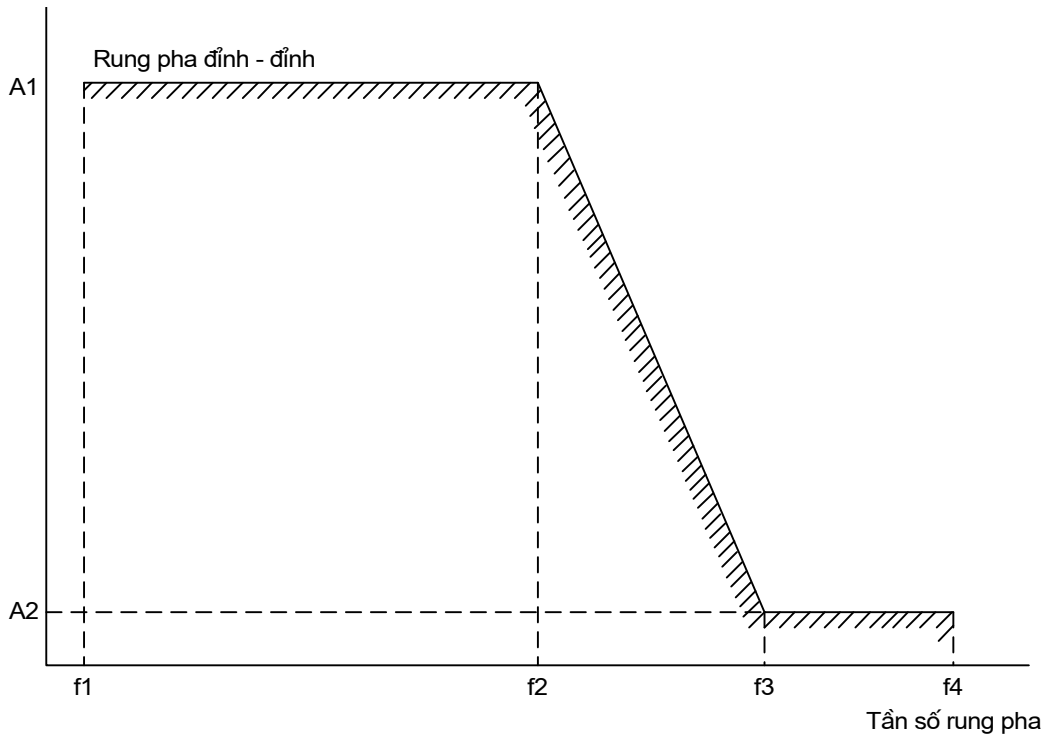
Biên độ đỉnh - đỉnh (UI)		Tần số (Hz)			
A1	A2	f1	f2	f3	f4
1,5	0,2	20	2 400	18 000	100 000

Kiểm tra: tiến hành kiểm tra theo mục A.8.

4.2.2.8 Giới hạn xung nhịp lối vào

Yêu cầu: thiết bị đầu cuối phải giải mã các tín hiệu đã được mã hoá HDB3 mà không bị lỗi trong dải tần số 2048 kbit/s \pm 50 phần triệu.

Kiểm tra: tiến hành kiểm tra theo mục A.8.



Hình 3: Giới hạn rung pha lỗi vào

4.2.2.9 Cấu trúc khung lỗi vào

4.2.2.9.1 Đồng bộ khung

Yêu cầu: lỗi vào phải chấp nhận một chuỗi bit lỗi vào với một cấu trúc khung và đa khung như được quy định trong phụ lục C. Thiết bị đầu cuối phải có khả năng đạt được đồng bộ khung nhằm tách dữ liệu của người sử dụng ra khỏi khung thông tin.

Đồng bộ khung phải đạt được nếu:

- a) Có sự xuất hiện của tín hiệu đồng bộ khung đúng lần đầu tiên; và
- b) Sự mất tín hiệu đồng bộ khung trong khung tiếp theo, được phát hiện bằng cách xác định rằng bit 2 của khung cơ bản có giá trị nhị phân MỘT; và
- c) Sự xuất hiện tín hiệu đồng bộ khung đúng lần thứ hai trong khung tiếp theo, với giả thiết rằng dữ liệu không chứa bất cứ từ nào mô phỏng từ đồng bộ khung.

Thiết bị đầu cuối phải tiếp tục duy trì đồng bộ khung trong trường hợp nhận được một hoặc hai tín hiệu đồng bộ khung sai liên tiếp. Trong trường hợp nhận được ba tín hiệu đồng bộ khung sai liên tiếp thì thiết bị đầu cuối phải coi như đồng bộ khung đã bị mất và bắt đầu tìm kiếm đồng bộ khung.

Đồng bộ khung cũng được coi là mất nếu:

- d) Xảy ra 915 SMF lỗi trong số 1000 SMF; hoặc

e) Bit 2 trong các khung không chứa tín hiệu đồng bộ khung bị lỗi trong ba lần liên tiếp; hoặc

f) Không có khả năng đạt được đồng bộ khung trong 8 ms (xem mục 4.2.2.9.2).

Kiểm tra: tiến hành kiểm tra theo mục A.10.1.

4.2.2.9.2 Đồng bộ đa khung

Yêu cầu này là tùy chọn và chỉ áp dụng với các thiết bị đầu cuối cần thu nhận đồng bộ đa khung để tách thông tin về CRC-4 để phù hợp với mục 4.2.1.6.2.2.

Yêu cầu: đồng bộ đa khung CRC-4 phải đạt được nếu xác định được ít nhất hai tín hiệu đồng bộ đa khung CRC-4 đúng trong vòng 8 ms (khoảng thời gian cách biệt giữa hai tín hiệu đồng bộ đa khung CRC-4 là 2 ms hoặc bội số của 2 ms). Nếu đồng bộ đa khung không đạt được trong vòng 8 ms thì có thể cho rằng đồng bộ khung có tín hiệu đồng bộ khung sai và phải bắt đầu tìm kiếm đồng bộ khung.

Lưu ý: việc tìm kiếm đồng bộ khung phải được bắt đầu tại thời điểm ngay sau khi xác định được vị trí của tín hiệu đồng bộ khung bị cho là sai, để tránh việc đồng bộ lại với tín hiệu đồng bộ khung sai.

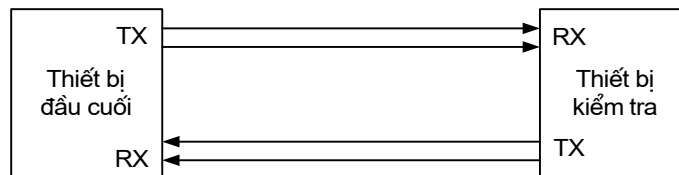
Kiểm tra: tiến hành kiểm tra theo mục A.10.2.

PHỤ LỤC A
(Quy định)
CÁC PHƯƠNG PHÁP KIỂM TRA

A.1 Mã hoá tín hiệu ở cổng lối ra

Mục đích: để xác định rằng việc mã hoá tín hiệu ở cổng lối ra của thiết bị đầu cuối có tuân theo các quy tắc mã hoá HDB3 như yêu cầu trong mục 4.2.1.1 hay không.

Cấu hình kiểm tra (xem hình A.1):



Hình A.1: Mã hoá tín hiệu

Trạng thái giao diện: cấp nguồn.

Tín hiệu thử: thiết bị đầu cuối sẽ truyền một chuỗi bit HDB3 phù hợp với cấu trúc khung trong phụ lục C. Nội dung dữ liệu được chứa trong các bit từ 9 đến 256 của khung sẽ là một chuỗi bit bao gồm các chuỗi <0000> <một số chẵn các giá trị nhị phân MỘT><0000>< một số lẻ các giá trị nhị phân MỘT>, được đưa vào bộ mã hoá HDB3 (xem lưu ý).

Giám sát: chuỗi bit lối ra trong khoảng thời gian kiểm tra đủ để truyền 100 lần xuất hiện các mẫu trên cộng thêm thời gian cần thiết để phát hiện lỗi.

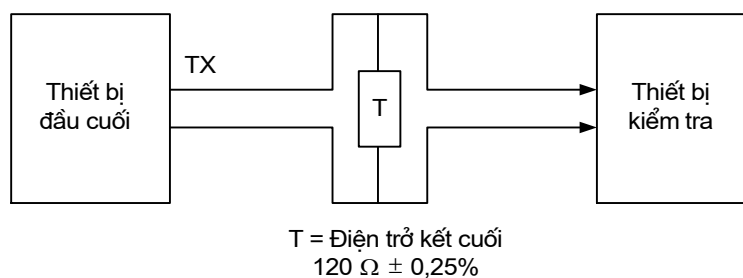
Kết quả: không có lỗi nào trong chuỗi bit được giải mã.

Lưu ý: một chuỗi bit giả ngẫu nhiên, chẳng hạn như PRBS($2^{15}-1$), sẽ được chấp nhận nếu chuỗi bit này bao hàm các mẫu bit trong mục trên.

A.2 Dạng xung ở cổng lối ra

Mục đích: Để xác định dạng xung ở lối ra có phù hợp với yêu cầu trong mục 4.2.1.2 không.

Cấu hình kiểm tra (xem hình A.2):



Hình A.2: Dạng xung ở cổng lối ra

Trạng thái giao diện: cấp nguồn.

Tín hiệu thử: không quy định.

Giám sát:

- Các giá trị 1 và 0 được thiết bị đầu cuối truyền đi, đo được biên độ và dạng của các xung dương và âm (đo tại điểm giữa của khoảng xung) và độ dài thời gian của các xung dương và âm (được đo tại một nửa xung danh nghĩa, tức là 1,5 V);

- Độ chính xác của phép đo phải tốt hơn 90 mV. Tất cả các phép đo phải được thực hiện với thiết bị đo có khả năng ghi lại dòng một chiều (DC). Băng tần có độ rộng lớn hơn hoặc bằng 200 MHz phải được sử dụng để nắm bắt sự thay đổi của xung.

Kết quả:

- Các xung dương và âm đều phải nằm trong mặt nạ thuộc hình 2, trong đó $V = 100\%$ là 3 V.

- Khoảng bit tương ứng với giá trị 0 sẽ không có điện áp vượt quá $\pm 0,3$ V;

- Tỷ lệ biên độ của các xung dương và âm nằm trong khoảng 0,95 đến 1,05.

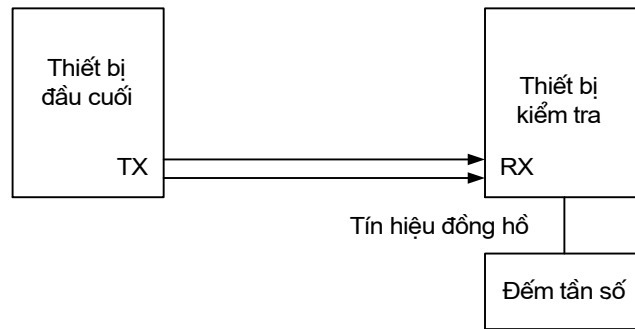
- Tỷ lệ độ rộng của các xung dương và âm nằm trong khoảng 0,95 đến 1,05.

A.3 Định thời lối ra

Mục đích: Để xác định rằng tốc độ bit nằm trong khoảng 2048 kbit/s \pm 50 phần triệu khi thiết bị đầu cuối cấp định thời từ đồng hồ nội của nó, mục 4.2.1.3.

Cấu hình kiểm tra (xem hình A.3):

- Thiết bị đầu cuối sẽ được cấu hình để cấp định thời từ nguồn đồng hồ nội. Lối ra của thiết bị đầu cuối là một chuỗi bit được mã hoá HDB3.



Hình A.3: Định thời công lối ra

Trạng thái giao diện: cấp nguồn.

Tín hiệu thử: không quy định.

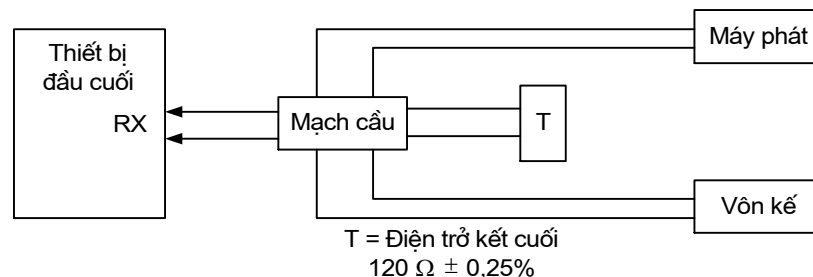
Giám sát: tốc độ bit từ lối ra của thiết bị đầu cuối.

Kết quả: tốc độ bit sẽ nằm trong khoảng 2048 kbit/s \pm 50 phần triệu.

A.4 Suy hao phản xạ ở công lối vào

Mục đích: để xác minh rằng suy hao phản xạ ở đôi dây nhận của giao diện thiết bị đầu cuối có phù hợp với các yêu cầu của mục 4.2.2.2 hay không.

Cấu hình kiểm tra (xem hình A.4):



Hình A.4: Suy hao phản xạ ở công lối vào

Trạng thái giao diện: cấp nguồn.

Tín hiệu thử: tín hiệu hình sin có đỉnh 3 V tại lối vào của thiết bị đầu cuối có tần số biến động trong khoảng từ 51 kHz đến 3072 kHz.

Giám sát: điện áp được đo tại cầu đo, biểu đạt điện trở kết cuối là 120 Ω , sử dụng một Vôn kế điều chỉnh có băng tần nhỏ hơn 1 kHz.

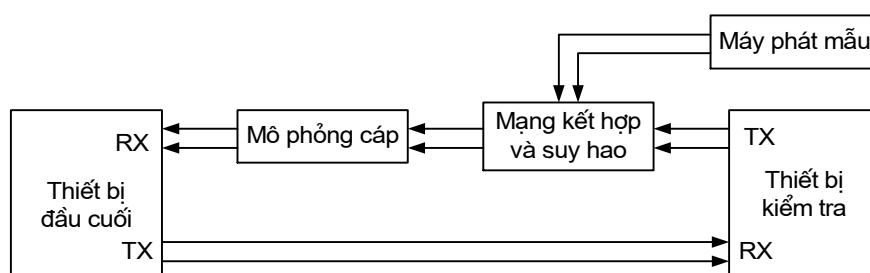
Kết quả: suy hao phản xạ đo được phải lớn hơn hoặc bằng các giá trị trong bảng 3.

Lưu ý: các đặc tính của máy phát và vôn kế có thể khác nhau tùy theo cầu đo, tuy nhiên, lỗi tổng cộng của cách bố trí kiểm tra phải nhỏ hơn 0,5 dB trong phạm vi 10 dB đến 20 dB. Khi được nối với một điện trở 120 $\Omega \pm 0,25\%$ thì suy hao phản xạ đo được của cầu phải cao hơn các giới hạn được định ra với giao diện là 20 dB.

A.5 Giới hạn suy hao lối vào và miễn nhiệm với các phản xạ

Mục đích: để kiểm tra sự miễn nhiệm của cổng lối vào đối với tín hiệu nhiễu kết hợp với tín hiệu lối vào, như đã quy định trong mục 4.2.2.4, cả hai trường hợp không qua cáp (tức là suy hao 0 dB) và qua cáp có suy hao 6 dB, như đã quy định trong mục 4.2.2.3.

Cấu hình kiểm tra (xem hình A.5):



Hình A.5: Miễn nhiệm với các phản xạ

- Tín hiệu nhiễu phải được kết hợp với tín hiệu lối vào trong một mạng kết hợp có trở kháng 120Ω , với suy hao 0 dB của tín hiệu lối vào và suy hao 18 dB của tín hiệu nhiễu;

- Bộ mô phỏng cáp phải có suy hao 6 dB đo được tại tần số 1024 kHz và đặc tính suy hao theo luật f trong dải tần số từ 100 kHz đến 10 MHz.

- Sự phù hợp của giao diện sẽ được xác minh trong các điều kiện kiểm tra sau:

- Không có mô phỏng cáp và không có tín hiệu nhiễu; và
- Có mô phỏng cáp và không có tín hiệu nhiễu; và
- Không có mô phỏng cáp và có tín hiệu nhiễu; và
- Có mô phỏng cáp và có tín hiệu nhiễu.

- Phép kiểm tra phải được lặp lại với các đường dây tại lối vào giao diện thiết bị đầu cuối (RX) bị đảo chiều.

Trạng thái giao diện: cấp nguồn, với dữ liệu nhận được đưa vòng trở lại cổng lối ra.

Tín hiệu thử:

- Tín hiệu lối ra của thiết bị kiểm tra phải được mã hoá HDB3 và có dạng xung như hình 2. Chuỗi bit phải được cấu trúc lại thành các khung có CRC-4 theo Khuyến nghị ITU-T G.704 [2]. Trong các khung không chứa tín hiệu đồng bộ khung, bit 3 (Chỉ thị cảnh báo đầu xa (RAI)) phải được đưa về 0 và các bit từ 4 đến 8 (S_{a4} đến S_{a8}) phải được đưa về 1. Nội dung dữ liệu được chứa trong các bit từ 9 đến 256 của khung sẽ là PRBS($2^{15}-1$). Tốc độ bit phải nằm trong khoảng $2048 \text{ kbit/s} \pm 50$ phần triệu;

- Tín hiệu nhiễu từ máy phát mẫu sẽ:
 - a) Được mã hoá HDB3 và có dạng xung như hình 2; và
 - b) Có nội dung dữ liệu là một PRBS ($2^{15} - 1$); và
 - c) Có tốc độ bit trong khoảng 2048 kbit/s \pm 50 phần triệu, tín hiệu này không đồng bộ với tín hiệu lối ra của thiết bị kiểm tra.

Giám sát: dữ liệu tại cổng lối ra của thiết bị đầu cuối.

Kết quả: xác minh rằng dữ liệu nhận được từ thiết bị đầu cuối giống hệt với chuỗi đã phát ra trong khoảng thời gian ít nhất 1 phút.

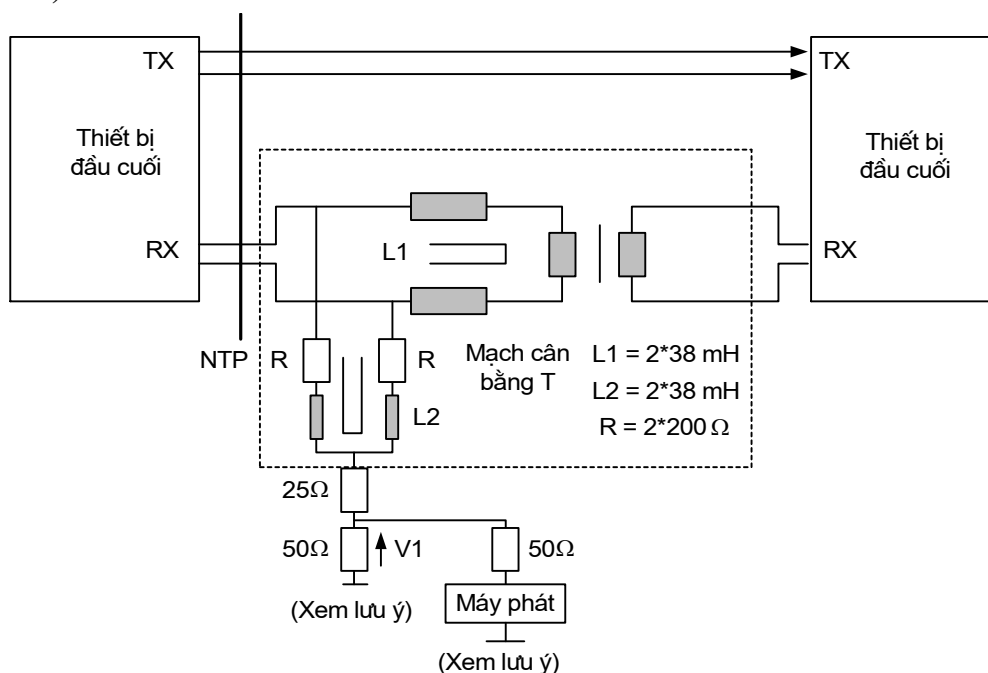
A.6 Khả năng chịu điện áp dọc, mã hoá lối vào HDB3

Mục đích: để kiểm tra khả năng chịu đựng điện áp dọc nhỏ nhất tại lối vào của thiết bị đầu cuối như đã quy định trong mục 4.2.2.5, và nhận chính xác mã HDB3 như đã quy định trong mục 4.2.2.1.

Cấu hình kiểm tra (xem hình A.6).

Trạng thái giao diện: cấp nguồn, với dữ liệu nhận được đưa vòng trở lại cổng lối ra của thiết bị đầu cuối.

Tín hiệu thử: tín hiệu lối ra của thiết bị kiểm tra phải được mã hoá HDB3 và có dạng xung như hình 2. Chuỗi bit phải được cấu trúc thành các khung có CRC-4 theo Khuyến nghị ITU-T G.704 [2]. Trong các khung không chứa tín hiệu đồng bộ khung, bit 3 (RAI) sẽ được đưa về 0 và các bit từ 4 đến 8 (S_{a4} đến S_{a8}) phải được đưa về 1. Nội dung dữ liệu được chứa trong các bit từ 9 đến 256 của khung sẽ là PRBS($2^{15}-1$).



Lưu ý: Điểm này phải được kết nối với điểm đất chung của thiết bị đầu cuối hoặc điểm chuẩn kiểm tra.

Hình A.6: Khả năng chịu điện áp dọc, mã hoá lối vào HDB3

- Một điện áp đọc V_L có giá trị hiệu dụng là 2 V, ± 20 mV với tần số biến đổi trong khoảng 10 Hz đến 30 MHz sẽ được đưa vào trong ít nhất 2 giây.

Giám sát: các dữ liệu tại cổng lối ra của thiết bị đầu cuối.

Kết quả: xác minh rằng các dữ liệu nhận được từ thiết bị đầu cuối giống hệt với chuỗi được phát ra.

Lưu ý: suy hao chuyển đổi đọc cố hữu của mạch cân bằng T phải lớn hơn 30 dB.

A.7 Trở kháng so với đất

Mục đích: để kiểm tra trở kháng so với đất của cổng lối ra và cổng lối vào của thiết bị đầu cuối, như đã quy định trong mục 4.2.1.4 và 4.2.2.6.

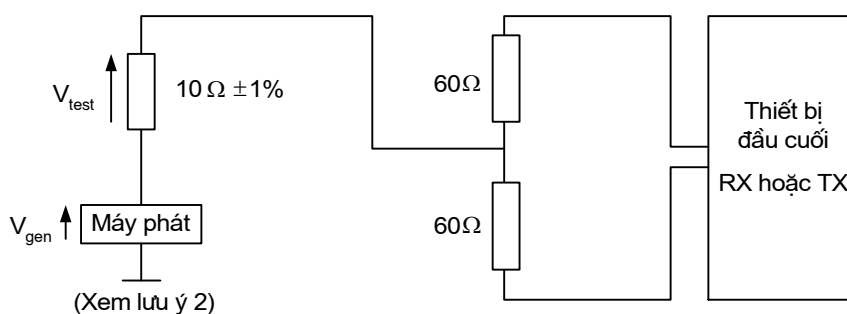
Cấu hình kiểm tra: (xem hình A.7).

Trạng thái giao diện: cấp nguồn.

Tín hiệu thử: tín hiệu kiểm tra hình sin (V_{gen}) có giá trị hiệu dụng là 2 V, ± 20 mV được đưa vào với tần số trong khoảng 10 Hz đến 1 MHz.

Giám sát: điện áp của V_{test} .

Kết quả: điện áp V_{test} phải có giá trị hiệu dụng nhỏ hơn 19,2 mV.



Lưu ý 1: Các điện trở 60 Ω phải có dung sai không quá 1% và chênh lệch dưới 0,1%

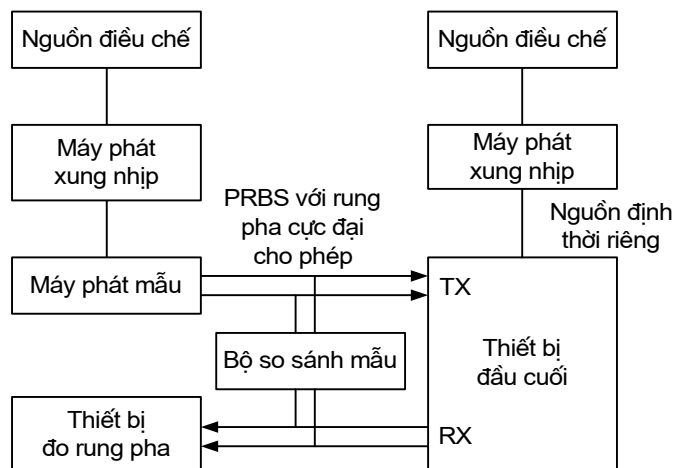
Lưu ý 2: Điểm này phải được kết nối với điểm đất chung của thiết bị đầu cuối hoặc điểm chuẩn kiểm tra

Hình A.7: Trở kháng so với đất

A.8 Rung pha lối ra và lối vào

Mục đích: phép kiểm tra này được sử dụng để đo khả năng chịu rung pha lối vào (mục 4.2.2.7), rung pha lối ra lớn nhất (4.2.1.5) và sự hoạt động trong phạm vi lối vào định thời nhất định (mục 4.2.2.8).

Cấu hình kiểm tra: (xem hình A.8).



Hình A.8: Đo rung pha

- Thiết bị đầu cuối phải được kiểm tra trong mỗi cấu hình sau (tại các cấu hình đó, các phương thức vận hành sau được hỗ trợ):

- a) Định thời lối ra được tham chiếu từ đồng hồ nội; và
- b) Định thời lối ra được tham chiếu từ bất kỳ nguồn đồng hồ ngoài nào là nguồn định thời (kể cả định thời từ tín hiệu lối vào).

Trạng thái giao diện: cấp nguồn, dữ liệu nhận được đưa vòng trở lại cổng lối ra.

Tín hiệu thử:

- Tín hiệu lối ra của bộ phát mẫu phải được mã hoá HDB3 và có dạng xung như hình 2. Chuỗi bit phải được cấu trúc thành các khung, có CRC-4, theo Khuyến nghị ITU-T G.704 [2], Trong các khung không chứa tín hiệu đồng bộ khung, bit 3 (RAI) sẽ được đưa về 0 và các bit từ 4 đến 8 (S_{a4} đến S_{a8}) sẽ được đưa về 1. Nội dung dữ liệu được chứa trong các bit từ 9 đến 256 sẽ là một PRBS($2^{15}-1$);

- Phép đo phải được thực hiện với tín hiệu lối vào tại các giá trị giới hạn về tốc độ số và cả giữa các giới hạn này, để có thể xác minh rằng rung pha phù hợp trong toàn bộ phạm vi tần số. Tối thiểu thì cũng phải tiến hành phép kiểm tra tại các giới hạn trên, giới hạn dưới và ở tốc độ danh nghĩa;

- Nguồn điều chế dùng cho chuỗi bit lối vào của thiết bị đầu cuối sẽ tạo thành các thành phần riêng lẻ của rung pha hình sin tại các điểm nằm trên đường cong ở hình 3 và bảng 4;

- Nguồn điều chế định thời bên ngoài (nếu cần) phải độc lập với nguồn điều chế tín hiệu lối vào và sẽ tạo nên khả năng chịu rung pha lớn nhất và độ lệch tần số lớn nhất như nhà sản xuất thiết bị đầu cuối chỉ ra;

- Có thể cần phải đồng bộ hoá hai bộ phát xung nhịp để tránh khả năng xảy ra trượt.

Giám sát:

- a) Tín hiệu được truyền đi bởi thiết bị đầu cuối; và
- b) Rung pha được lấy ra từ tín hiệu này, sử dụng thiết bị phù hợp với Khuyến nghị ITU-T 171 [4], với các tần số cắt như được quy định ở bảng 2.

Kết quả:

- a) Thiết bị kiểm tra không thông báo lỗi bit nào trong thời gian kiểm tra; và
- b) Rung pha đỉnh - đỉnh phải phù hợp với bảng 2 khi được đo bằng các bộ lọc tuyến tính có các tần số cắt xác định.

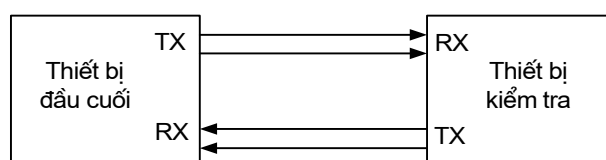
Lưu ý: nguồn điều chế có thể được chứa trong bộ phát xung nhịp và/hoặc bộ phát tín hiệu mẫu, hoặc có thể được cung cấp riêng biệt.

A.9 Cấu trúc khung

A.9.1 Cấu trúc lối ra và việc tạo CRC-4

Mục đích: để kiểm tra độ chính xác của cấu trúc lối ra (mục 4.2.1.6) và việc tạo CRC-4 (mục 4.2.1.6.1) tại lối ra của thiết bị đầu cuối.

Cấu hình kiểm tra: (xem hình A.9).



Hình A.9: Cấu trúc khung

Trạng thái giao diện: cấp nguồn.

Tín hiệu thử:

- Tín hiệu lối ra của thiết bị kiểm tra phải được mã hoá HDB3 và có dạng xung như hình 2 và với một cấu trúc khung như nêu trong Khuyến nghị ITU-T G.704 [2].

- Thiết bị đầu cuối sẽ truyền một chuỗi bit HDB3 với nội dung dữ liệu và cấu trúc khung phù hợp với phụ lục B. Nội dung dữ liệu được chứa trong các bit từ 9 đến 256 phải là một chuỗi bit giả ngẫu nhiên, chẳng hạn như PRBS($2^{15} - 1$).

Giám sát: tín hiệu đồng bộ khung và CRC-4 trong chuỗi bit ra từ thiết bị đầu cuối.

Kết quả:

- Tín hiệu đồng bộ khung và bit 2 của khung không chứa tín hiệu đồng bộ khung phải như quy định trong bảng C.1;
- CRC-4 phải phù hợp với các dữ liệu trong SMF trước như được quy định trong mục C.2 và C.2.1.

A.9.2 Các đầu cuối không sử dụng bit E

Mục đích: để xác minh rằng với các thiết bị đầu cuối không sử dụng bit E để chỉ thị lỗi SMF thì các bit E được đưa về giá trị nhị phân một như đã quy định trong mục 4.2.1.6.2.1.

Cấu hình kiểm tra: (xem hình A.9).

Trạng thái giao diện: cấp nguồn.

Tín hiệu thử:

- Thiết bị đầu cuối sẽ truyền một chuỗi bit HDB3 phù hợp với cấu trúc khung trong phụ lục C. Nội dung dữ liệu chứa trong các bit từ 9 đến 256 của khung phải là một chuỗi bit giả ngẫu nhiên, chẳng hạn như PRBS($2^{15}-1$);
- Tín hiệu lối ra của thiết bị kiểm tra phải được mã hoá HDB3 và có dạng xung như hình 2 và với một cấu trúc khung như nêu trong Khuyến nghị ITU-T G.704 [2]. Thiết bị kiểm tra phải tạo ra các tín hiệu thử như được quy định trong cột 1 của bảng A.1.

Bảng A.1: Các đầu cuối không sử dụng bit E

Tín hiệu thử từ thiết bị kiểm tra	Kết quả
Các SMF liên tục với CRC-4 đúng	E = 1
Các SMF liên tục với CRC-4 sai	E = 1
Tín hiệu gây ra mất đồng bộ khung (ví dụ tín hiệu chỉ thị cảnh báo (AIS))	E = 1

Giám sát: bit E trong chuỗi bit ra từ thiết bị đầu cuối.

Kết quả: bit E phải đúng như đã quy định trong cột 2 của bảng A.1.

A.9.3 Các đầu cuối có sử dụng bit E để chỉ thị các SMF lỗi

Mục đích: để xác minh khả năng sử dụng các bit E để chỉ thị các lỗi SMF của thiết bị đầu cuối.

Cấu hình kiểm tra: (xem hình A.9).

Trạng thái giao diện: cấp nguồn.

Tín hiệu thử:

- Thiết bị đầu cuối sẽ truyền một chuỗi bit mã HDB3 theo cấu trúc khung trong phụ lục C. Nội dung dữ liệu được chứa trong các bit 9 đến 256 của khung sẽ là một chuỗi bit giả ngẫu nhiên, ví dụ PRBS($2^{15} - 1$).

- Tín hiệu đầu ra của thiết bị kiểm tra được mã hoá HDB3 và có dạng xung như hình 2 và cấu trúc khung theo Khuyến nghị ITU-T G.704 [2]. Thiết bị kiểm tra sẽ tạo ra tín hiệu thử như quy định trong cột 1 của bảng A.2.

Bảng A.2: Các đầu cuối có sử dụng bit E để chỉ ra các SMF lỗi

Tín hiệu thử từ thiết bị kiểm tra	Kết quả
Một SMF có CRC-4 sai nằm trong một chuỗi các SMF có CRC-4 đúng	Một bit E có E = 0, được gửi trong 1 giây của SMF lỗi, các bit E khác bằng 1
Hai SMF liên tiếp có CRC-4 sai nằm trong một chuỗi các SMF có CRC-4 đúng	Hai bit E liên tiếp có E = 0, được gửi trong 1 giây của SMF lỗi, các bit E khác bằng 1
<i>Lưu ý: Hai bit E liên tiếp có thể nằm trong 2 đa khung liên tiếp</i>	

Giám sát: bit E trong chuỗi bit ra từ thiết bị đầu cuối.

Kết quả: giá trị bit E đúng như đã quy định trong cột 2 bảng A.2.

A.9.4 Sử dụng bit A

Mục đích: để xác minh bit A có được đặt đúng để chỉ ra các điều kiện ở lối vào của thiết bị đầu cuối được đề cập trong mục 4.2.1.6.3.1 hoặc mục 4.2.1.6.3.2 hay không.

Cấu hình kiểm tra: (xem hình A.9).

Trạng thái giao diện: cấp nguồn.

Tín hiệu thử:

- Thiết bị đầu cuối sẽ truyền một chuỗi bit mã HDB3 theo cấu trúc khung trong phụ lục C. Nội dung dữ liệu được nằm trong các bit 9 đến 256 của khung sẽ là một chuỗi bit giả ngẫu nhiên, ví dụ PRBS($2^{15} - 1$).

- Tín hiệu đầu ra của thiết bị kiểm tra được mã hoá HDB3 và có dạng xung như hình 2 và cấu trúc khung theo Khuyến nghị ITU-T G.704 [2]. Nội dung dữ liệu chứa trong các bit từ 9 đến 256 của khung sẽ theo một mẫu cố định không chứa tín hiệu mô phỏng tín hiệu đồng bộ khung. Thiết bị kiểm tra sẽ tạo ra tín hiệu thử quy định trong cột 2 của bảng A.3.

Bảng A.3: Các đầu cuối có sử dụng bit A

	Tín hiệu thử từ thiết bị kiểm tra (xem lưu ý 1 và 2)	Kết quả (xem lưu ý 3)
1	Chuỗi khung liên tiếp chứa một tín hiệu đồng bộ khung sai. (...2 F 2 F 2 /F 2 F 2 F...)	A = 0
2	Chuỗi khung liên tiếp chứa hai tín hiệu đồng bộ khung sai liên nhau. (...2 F 2 F 2 /F 2 /F 2 F 2 F...)	A = 0
3	Chuỗi khung liên tiếp chứa ba tín hiệu đồng bộ khung sai liên nhau. (...2 F 2 F 2 /F 2 /F 2 /F 2 F 2 F...)	A = 1 trong vòng 30 ms kể từ tín hiệu đồng bộ khung sai cuối cùng, trở về A = 0 trong vòng 30 ms sau hai tín hiệu đồng bộ khung đúng.
4	Các khung liên tiếp chứa ba tín hiệu đồng bộ khung sai liên nhau, tiếp đó là N chuỗi khung có các tín hiệu đồng bộ khung đúng và sai xen kẽ nhau, rồi đến một khung đúng, rồi đến M chuỗi khung có tín hiệu đồng bộ khung đúng nhưng các khung không chứa tín hiệu đồng bộ khung đúng có bit 2 bằng 0, tiếp đó là các khung đúng liên tiếp. (...2 F 2 F 2 /F 2 /F 2 /F Nx(2 F 2 /F) 2 F Mx(/2 F) 2 F 2 F...)	A = 1 trong vòng 30 ms sau tín hiệu đồng bộ khung sai thứ ba, giữ nguyên A = 1 đến khi A = 0 trong vòng 30 ms sau khi có hai tín hiệu đồng bộ khung đúng liên tiếp. Giá trị M và N nằm trong khoảng 40 và 100.
5	Các khung liên tiếp có hai khung không chứa tín hiệu đồng bộ khung có bit 2 bằng 0 liên nhau. (...2 F 2 F /2 F /2 F 2 F 2 F...)	A = 0
6	Các khung liên tiếp có ba khung không chứa tín hiệu đồng bộ khung có bit 2 bằng 0 liên nhau. (...2 F 2 F /2 F /2 F /2 F 2 F 2 F...)	A = 1 trong vòng 30 ms sau khi khung thứ ba có bit 2 bằng 0, trở về A = 0 trong vòng 30 ms sau hai tín hiệu đồng bộ khung đúng.
7	Các khung liên tiếp có 914 SMF lỗi liên nhau, tiếp theo là 86 SMF không lỗi liên nhau, rồi đến 914 SMF lỗi liên nhau, rồi đến các SMF không lỗi liên nhau. (...SMF SMF 914x/SMF 86xSMF 914x/SMF SMF...)	A = 0
8	Các khung liên tiếp có 915 SMF lỗi liên nhau, tiếp theo là 85 SMF không lỗi liên nhau, rồi đến 915 SMF lỗi liên nhau, rồi đến các SMF không lỗi liên nhau. (...SMF SMF 915x/SMF 85xSMF 915x/SMF SMF...)	Trong khoảng thời gian này, bit A sẽ thay đổi ít nhất một lần từ A = 0 thành A = 1 và trở lại A = 0.
<p><i>Lưu ý 1:</i> Trước mỗi phép kiểm tra được ghi trong bảng này phải đảm bảo đồng bộ khung và đa khung bằng cách truyền đủ số khung đúng đến bên nhận.</p> <p><i>Lưu ý 2:</i> F là một khung có tín hiệu đồng bộ khung đúng; /F là một khung có tín hiệu đồng bộ khung sai; 2 là một khung không chứa tín hiệu đồng bộ khung có bit 2 bằng 1; /2 là một khung không chứa tín hiệu đồng bộ khung có bit 2 bằng 0; SMF là đa khung con có đồng bộ khung đúng và có các bit CRC-4 đúng; /SMF là đa khung con có đồng bộ khung đúng và có các bit CRC-4 sai;</p> <p><i>Lưu ý 3:</i> Kết quả áp dụng đối với các đầu cuối phù hợp với mục 4.2.1.6.3.2.</p>		

Giám sát: bit A nằm trong chuỗi bit ra từ thiết bị đầu cuối.

Kết quả:

- Đối với những thiết bị đầu cuối phù hợp với mục 4.2.1.6.3.1 (tức là những thiết bị đầu cuối không sử dụng bit A), thì bit A sẽ được đưa về giá trị nhị phân KHÔNG cho tất cả các tín hiệu thử trong cột 3 của bảng A.3.

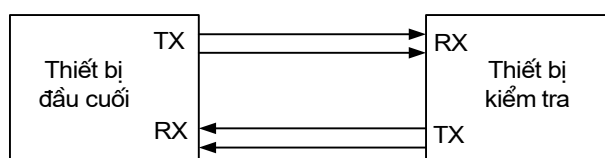
- Đối với những thiết bị đầu cuối phù hợp với mục 4.2.1.6.3.2 (tức là những thiết bị đầu cuối sử dụng bit A), thì bit A sẽ đáp ứng như quy định trong bảng A.3. Các yêu cầu của phép kiểm tra 6 trong bảng A.3 là tùy chọn, phép kiểm tra này chỉ có thể được thực hiện nếu nhà sản xuất đưa ra.

A.10 Cấu trúc khung lối vào

A.10.1 Đồng bộ khung

Mục đích: để xác minh rằng cổng lối vào của thiết bị đầu cuối có thể đạt được đồng bộ khung như đã quy định trong mục 4.2.2.9.1. Các thiết bị đầu cuối có sử dụng bit A phù hợp với mục 4.2.1.6.3.2 và phù hợp với các phép kiểm tra trong mục A.9.4 không cần được kiểm tra theo mục này vì sự phù hợp đã được chứng minh qua việc phù hợp với mục A.9.4.

Cấu hình kiểm tra: (xem hình A.10).



Hình A.10: Đồng bộ khung

Trạng thái giao diện: cấp nguồn, dữ liệu nhận được từ các bit từ 9 đến 256 của khung lối vào được đưa vòng trở lại tới cổng lối ra.

Tín hiệu thử: tín hiệu lối ra của thiết bị kiểm tra được mã hoá HDB3 và có dạng xung như hình 2, và cấu trúc khung như trong Khuyến nghị ITU-T G.704 [2]. Nội dung dữ liệu chứa trong các bit từ 9 đến 256 của khung sẽ theo một mẫu cố định không chứa tín hiệu mô phỏng tín hiệu đồng bộ khung. Thiết bị kiểm tra sẽ tạo ra các tín hiệu thử như quy định trong cột 2 của bảng A.4.

Bảng A.4: Đồng bộ khung

	Tín hiệu thử từ thiết bị kiểm tra (xem lưu ý 1 và 2)	Kết quả
1	Chuỗi khung liên tiếp chứa một tín hiệu đồng bộ khung sai. (...2 F 2 F 2 /F 2 F 2 F...)	Không gián đoạn dữ liệu. Không có lỗi trong dữ liệu nhận được.
2	Chuỗi khung liên tiếp chứa hai tín hiệu đồng bộ khung sai liền nhau. (...2 F 2 F 2 /F 2 /F 2 F 2 F...)	Không gián đoạn dữ liệu. Không có lỗi trong dữ liệu nhận được.
3	Chuỗi khung liên tiếp chứa ba tín hiệu đồng bộ khung sai liền nhau. (...2 F 2 F 2 /F 2 /F 2 /F 2 F 2 F...)	Bất cứ gián đoạn nào trong dữ liệu đều phải ngắn hơn 20,5 ms.
4	Các khung liên tiếp chứa ba tín hiệu đồng bộ khung sai liền nhau, tiếp đó là N chuỗi khung có các tín hiệu đồng bộ khung đúng và sai xen kẽ nhau, rồi đến một khung đúng, rồi đến M chuỗi M khung có tín hiệu đồng bộ khung đúng nhưng các khung không chứa tín hiệu đồng bộ khung đúng có bit 2 bằng 0, tiếp đó là các khung đúng liên tiếp. (...2 F 2 F 2 /F 2 /F 2 /F Nx(2 F 2 /F) 2 F Mx(/2 F) 2 F 2 F...)	Bất cứ gián đoạn nào trong việc truyền dữ liệu đều phải ngắn hơn $20,75 + 0,5 \times (N + M/2)$ ms Giá trị M và N nằm trong khoảng 40 và 100.
5	Các khung liên tiếp có hai khung không chứa tín hiệu đồng bộ khung có bit 2 bằng 0 liền nhau. (...2 F 2 F /2 F /2 F 2 F 2 F...)	Không gián đoạn dữ liệu. Không có lỗi trong dữ liệu nhận được.
6	Các khung liên tiếp có ba khung không chứa tín hiệu đồng bộ khung có bit 2 bằng 0 liền nhau. (...2 F 2 F /2 F /2 F /2 F 2 F 2 F...)	Có thể xảy ra gián đoạn dữ liệu trong một số trường hợp. Bất cứ gián đoạn nào trong dữ liệu đều phải ngắn hơn 20,5 ms.
7	Các khung liên tiếp có 914 SMF lỗi liền nhau, tiếp theo là 86 SMF không lỗi liền nhau, rồi đến 914 SMF lỗi liền nhau, rồi đến các SMF không lỗi liền nhau. (...SMF SMF 914x/SMF 86xSMF 914x/SMF SMF...)	Không gián đoạn dữ liệu. Không có lỗi trong dữ liệu nhận được.
8	Các khung liên tiếp có 915 SMF lỗi liền nhau, tiếp theo là 85 SMF không lỗi liền nhau, rồi đến 915 SMF lỗi liền nhau, rồi đến các SMF không lỗi liền nhau. (...SMF SMF 915x/SMF 85xSMF 915x/SMF SMF...)	Có thể xảy ra gián đoạn dữ liệu trong một số trường hợp. Bất cứ gián đoạn nào trong dữ liệu đều phải ngắn hơn 20,5 ms.
<p><i>Lưu ý 1:</i> Trước mỗi phép kiểm tra được ghi trong bảng này phải đảm bảo đồng bộ khung và đa khung bằng cách truyền đủ số khung đúng đến bên nhận.</p> <p><i>Lưu ý 2:</i> F là một khung có tín hiệu đồng bộ khung đúng; /F là một khung có tín hiệu đồng bộ khung sai; 2 là một khung không chứa tín hiệu đồng bộ khung có bit 2 bằng 1; /2 là một khung không chứa tín hiệu đồng bộ khung có bit 2 bằng 0; SMF là đa khung con có đồng bộ khung đúng và có các bit CRC-4 đúng; /SMF là đa khung con có đồng bộ khung đúng và có các bit CRC-4 sai.</p>		

Giám sát: giám sát dữ liệu nhận được trong các bit từ 9 đến 256 của khung từ các thiết bị đầu cuối và so sánh chúng với các dữ liệu do thiết bị kiểm tra truyền đi. Giám sát bất cứ gián đoạn nào trong dữ liệu.

Kết quả: bất cứ gián đoạn nào của dữ liệu đều phải đảm bảo yêu cầu quy định trong cột 3 của bảng A.4.

A.10.2. Đồng bộ đa khung

Mục đích: để xác minh rằng cổng lối vào của thiết bị đầu cuối có thể đạt được đồng bộ đa khung đúng như được quy định trong mục 4.2.2.9.2.

Cấu hình kiểm tra: (xem hình A.10).

Trạng thái giao diện: cấp nguồn.

Tín hiệu thử: tín hiệu lối ra của thiết bị kiểm tra được mã hoá HDB3 và có dạng xung như hình 2, và cấu trúc khung như trong Khuyến nghị ITU-T G.704 [2]. Nội dung dữ liệu chứa trong các bit từ 9 đến 256 của khung sẽ theo một mẫu cố định không chứa tín hiệu mô phỏng tín hiệu đồng bộ khung. Thiết bị kiểm tra sẽ tạo ra các tín hiệu thử được quy định trong cột 2 của bảng A.5.

Bảng A.5: Đồng bộ đa khung

	Tín hiệu thử từ thiết bị kiểm tra (xem lưu ý 1 và 2)	Kết quả
1	Các đa khung đúng liền tiếp nhau. (...MF MF MF MF...)	Đồng bộ đa khung.
2	Một chuỗi các đa khung đúng, tiếp theo là ba tín hiệu đồng bộ khung sai liền nhau, rồi đến một đa khung sai, rồi đến một đa khung đúng, rồi đến hai đa khung sai, rồi đến hai đa khung đúng rồi đến hai đa khung sai, rồi đến các đa khung đúng liền nhau. (...MF /F 2 /F 2 /MF MF /MF /MF MF MF /MF /MF MF...)	Phải đạt được đồng bộ đa khung sau đa khung đúng thứ nhất tiếp sau hai đa khung sai.
<p><i>Lưu ý 1:</i> Trước mỗi phép kiểm tra được ghi trong bảng này phải đảm bảo đồng bộ khung và đa khung bằng cách truyền đủ số khung đúng đến bên nhận.</p> <p><i>Lưu ý 2:</i> F là một khung có tín hiệu đồng bộ khung đúng; /F là một khung có tín hiệu đồng bộ khung sai; 2 là một khung không chứa tín hiệu đồng bộ khung có bit 2 bằng 1; /2 là một khung không chứa tín hiệu đồng bộ khung có bit 2 bằng 0; MF là một đa khung có tín hiệu đồng bộ khung đúng, bit 2 bằng 1, tín hiệu đồng bộ đa khung đúng và các bit CRC-4 đúng; /MF là một đa khung có tín hiệu đồng bộ khung đúng, bit 2 bằng 1, tín hiệu đồng bộ đa khung sai và các bit CRC-4 đúng.</p>		

Giám sát: giám sát đồng bộ đa khung; nhà cung cấp thiết bị đầu cuối phải chỉ rõ việc này sẽ được tiến hành như thế nào. Các thiết bị đầu cuối có sử dụng bit E để chỉ thị các SMF lỗi có thể chỉ ra đồng bộ đa khung bằng cách nhận ra chính xác các SMF lỗi được đưa vào tín hiệu thử từ thiết bị kiểm tra (tức là MF /F 2 /F 2 /F 2 /MF MF /MF /MF MF MF /MF /MF /SMF /SMF MF).

Kết quả: phải đạt được đồng bộ đa khung như quy định trong cột 3 của bảng A.5.

PHỤ LỤC B
(Quy định)
ĐỊNH NGHĨA MÃ HDB3

B.1 Khái quát

Phụ lục này mô tả mã HDB3 trên cơ sở sửa đổi mã đảo cực luân phiên (AMI). Nội dung của phụ lục này dựa trên phụ lục A của Khuyến nghị G.703 [1] của ITU-T.

Trong mã này, các bit có giá trị nhị phân 1 được biểu thị bằng các xung dương và âm xen kẽ nhau, và các giá trị nhị phân 0 được biểu thị bằng các khoảng trống. Có ngoại lệ khi xảy ra nhiều chuỗi bit 0 liên tiếp nhau trong tín hiệu nhị phân.

Trong định nghĩa dưới đây, B biểu thị cho một xung được chèn tuân theo quy tắc AMI, và V biểu thị cho một xung vi phạm quy tắc AMI.

B.2 Định nghĩa

Mỗi khối gồm 4 giá trị 0 liên nhau được thay thế bởi 000V hoặc B00V. Việc chọn 000V hay B00V được thực hiện sao cho số lượng các xung B giữa các V liên nhau là lẻ. Nói cách khác, các xung V liên nhau có cực tính đối nhau để không tạo nên thành phần dòng điện một chiều.

PHỤ LỤC C
(Quy định)
ĐỊNH NGHĨA CẤU TRÚC KHUNG

C.1. Cấu trúc khung

Chuỗi bit sẽ được cấu trúc thành một khung dài 256 bit, được đánh số từ 1 đến 256. Tốc độ lặp lại khung danh định là 8000 Hz. Vị trí của các bit từ 1 đến 8 của khung như được trình bày trong bảng C.1.

Bảng C.1: Phân bố của các bit từ 1 đến 8

Số thứ tự của bit	Khung có chứa tín hiệu đồng bộ khung	Khung không chứa tín hiệu đồng bộ khung
1	CRC-4 (xem mục C.2)	CRC-4 (xem mục C.2)
2	0	1
3	0	A (xem lưu ý 1)
4	1	S _{a4} (xem lưu ý 2)
5	1	S _{a5} (xem lưu ý 2)
6	0	S _{a6} (xem lưu ý 2)
7	1	S _{a7} (xem lưu ý 2)
8	1	S _{a8} (xem lưu ý 2)
<p><i>Lưu ý 1:</i> bit A: RAI <i>Lưu ý 2:</i> các bit từ S_{a4} đến S_{a8} được dành cho nhà khai thác kênh thuê riêng sử dụng. Giá trị của chúng tại cổng lối ra của một kênh thuê riêng không được quy định.</p>		

C.2. CRC-4

Vị trí của các bit CRC-4 được quy định trong bảng C.2 cho một đa khung CRC-4 hoàn chỉnh. Mỗi đa khung CRC-4, được tạo thành từ 16 khung đánh số từ 0 đến 15, được chia thành 2 đa khung con 8 khung, đánh số là SMF I và SMF II, biểu diễn vị trí tương ứng của chúng trong cấu trúc đa khung CRC-4. SMF là một khối (kích thước 2048 bit) cho CRC-4.

Trong các khung có chứa tín hiệu đồng bộ khung, bit 1 sẽ được dùng để truyền đi các bit CRC-4. Các bit này sẽ là 4 bit được đánh số C₁ C₂ C₃ và C₄ trong mỗi đa khung con. Trong các khung không chứa tín hiệu đồng bộ khung, bit 1 sẽ được dùng để truyền đi 6 bit tín hiệu đồng bộ đa khung CRC-4 và 2 bit chỉ thị lỗi CRC-4 (các bit E). Tín hiệu đồng bộ đa khung CRC-4 sẽ có dạng 001011.

Bảng C.2: Phân bố của các bit CRC-4 của một đa khung

	SMF	Khung	bit 1
Một đa khung	SMF I	0	C ₁
		1	0
		2	C ₂
		3	0
		4	C ₃
		5	1
		6	C ₄
	7	0	
	SMF II	8	C ₁
		9	1
		10	C ₂
		11	1
		12	C ₃
		13	E
		14	C ₄
15		E	

C.2.1 Tạo CRC-4

Một từ CRC-4 nhất định, đặt trong SMF thứ N là số dư sau khi nhân đa thức biểu diễn SMF thứ (N - 1) với x^4 và sau đó chia cho đa thức $x^4 + x + 1$ (modulo 2). Khi biểu diễn nội dung của khối kiểm tra theo đa thức, bit đầu tiên trong khối (tức là bit 1 của khung 0 hoặc bit 1 của khung 8) sẽ là bit quan trọng nhất. Tương tự, C1 sẽ là bit quan trọng nhất của số dư và C4 là bit kém quan trọng nhất của số dư.

Quá trình mã hoá CRC-4 được mô tả dưới đây:

- a) Các bit CRC-4 trong SMF được thay thế bằng giá trị nhị phân 0;
- b) SMF sau đó được xử lý theo tiến trình nhân/chia mô tả ở trên;
- c) Kết quả số dư của tiến trình nhân/chia trên được lưu trữ, sẵn sàng đưa vào các vị trí CRC-4 tương ứng của SMF tiếp theo.

Lưu ý: các CRC-4 bit vừa được tạo ra sẽ không gây ảnh hưởng đến kết quả của tiến trình nhân/chia trong SMF tiếp theo vì theo mục a) ở trên thì các vị trí của bit CRC-4 trong một SMF được khởi tạo về 0 trong tiến trình nhân/chia.

C.2.2 Giám sát CRC-4

Quá trình giám sát CRC-4 để phát hiện các SMF lỗi được mô tả như sau:

- a) SMF vừa nhận sẽ được xử lý theo tiến trình nhân/chia quy định tại mục C.2.1, sau khi đã lấy ra các CRC-4 bit và thay thế bằng các giá trị 0;
- b) Kết quả số dư từ tiến trình nhân/chia sẽ được lưu trữ và sau đó so sánh từng bit với các bit CRC-4 nhận được của SMF tiếp theo;
- c) Nếu giá trị số dư sau khi tính toán không tương ứng với các CRC-4 bit nhận được trong SMF kế tiếp thì SMF đó là SMF lỗi.

PHỤ LỤC D
(Quy định)
DANH SÁCH CÁC YÊU CẦU

Bảng C.1: Danh sách các yêu cầu

STT	Tham chiếu tới mục	Yêu cầu	Tình trạng (xem lưu ý)
1	4.1.1	Đảm bảo chống quá áp quá dòng	M
2	4.1.2	Đảm bảo an toàn cho khai thác viên và người sử dụng	M
3	4.1.3	Bảo vệ người sử dụng khỏi quá áp trên mạng viễn thông	M
4	4.1.4	Yêu cầu về tương thích điện từ	M
5	4.2.1.1	Mã hoá tín hiệu	M
6	4.2.1.2	Dạng xung	M
7	4.2.1.3(a)	Định thời lối ra (đồng hồ nội)	M
8	4.2.1.3(b)	Định thời lối ra (mạch vòng đồng hồ)	M
9	4.2.1.3(c)	Định thời lối ra (lấy từ tín hiệu bên ngoài)	O
10	4.2.1.4	Trở kháng so với đất	M
11	4.2.1.5	Rung pha lối ra	M
12	4.2.1.6	Cấu trúc lối ra	M
13	4.2.1.6.1	Thủ tục CRC-4	M
14	4.2.1.6.2.1	Các đầu cuối không sử dụng các bit E	O.1
15	4.2.1.6.2.2	Các đầu cuối sử dụng các bit E để chỉ thị các SMF lỗi	O.1
16	4.2.1.6.3.1	Các đầu cuối không sử dụng bit A	O.2
17	4.2.1.6.3.2	Các đầu cuối có sử dụng bit A	O.2
18	4.2.1.6.3.2 c		Nếu 17 thì O, nếu không thì N
19	4.2.2.1	Mã hoá tín hiệu	M
20	4.2.2.2	Suy hao phản xạ lối vào	M
21	4.2.2.3	Giới hạn suy hao lối vào	M
22	4.2.2.4	Miễn nhiệm với các phản xạ	M
23	4.2.2.5	Khả năng chịu điện áp dọc	M
24	4.2.2.6	Trở kháng so với đất	M
25	4.2.2.7	Giới hạn rung pha lối vào	M
26	4.2.2.8	Sai số xung nhip vào	M
27	4.2.2.9.1	Đồng bộ khung	M
28	4.2.2.9.2	Đồng bộ đa khung	Nếu 15 thì M, nếu không thì N
<i>Lưu ý:</i> O.1: buộc phải tuân theo một trong các yêu cầu này. O.2: buộc phải tuân theo một trong các yêu cầu này. N: Không phải là yêu cầu			M: Bắt buộc phải tuân thủ O: Tùy chọn

FOREWORD

The technical standard TCN 68 - 217: 2002 “**Terminal Equipment connected to the Public Telecommunications Networks using 2048 kbit/s Digital Structured Leased Line - Technical Requirements**” is based on the standard ETSI EN 300 420 of European Telecommunications Standards Institute.

The technical standard TCN 68 - 217: 2002 is drafted by Research Institute of Posts and Telecommunications (RIPT) at the proposal of Department of Science & Technology of Ministry of Posts and Telematics. The technical standard is adopted by the Decision No. 34/QD-BBCVT of the Minister of Posts and Telematics dated 31/12/2002.

The technical standard TCN 68 - 217: 2002 is issued in a bilingual document (Vietnamese version and English version). In cases of interpretation disputes, Vietnamese version is applied.

DEPARTMENT OF SCIENCE & TECHNOLOGY

**TERMINAL EQUIPMENT CONNECTED TO THE PUBLIC
TELECOMMUNICATIONS NETWORKS (PTNs) USING 2048 KBIT/S
DIGITAL STRUCTURED LEASED LINE**

TECHNICAL REQUIREMENTS

*(Issued together with Decision No.34/2002/QD-BBCVT of December 31, 2002
of the Minister of Posts and Telematics)*

1. Scope

This technical standard specifies the technical requirements, the necessary functional characteristics and the corresponding test principles for a terminal equipment interface for connection to the Public Telecommunications Networks (PTNs) for 2048 kbit/s digital structured leased lines using 120 ohm interfaces with an information transfer rate of 1984 kbit/s.

This technical standard is to ensure that the interface of the terminal equipment is compatible with the 2048 kbit/s digital structured leased line. A terminal equipment interface that conforms to this standard will also be compatible with an 2048 kbit/s unstructured leased line.

This technical standard is used as one of the basis to approve and measure terminal equipments connected to PTNs using 2048 kbit/s digital structured leased line.

2. Normative references

- [1] ITU-T Recommendation G.703 (1998): "*Physical/electrical characteristics of hierarchical digital interfaces*".
- [2] ITU-T Recommendation G.704 (1998): "*Synchronous frame structures used at 1 544, 6 312, 2 048, 8 448 and 44 736 kbit/s hierarchical levels*".
- [3] ITU-T Recommendation O.151 (1992): "*Error performance measuring equipment operating at the primary rate and above*".
- [4] ITU-T Recommendation O.171 (1997): "*Timing jitter and wander measuring equipment for digital systems which are based on the plesiochronous digital hierarchy (PDH)*".

TCN 68 - 217: 2002

- [5] ETSI EN 300 418: "Access and Terminals (AT); 2048 kbit/s digital unstructured and structured leased lines (D2048U and D2048S); Network interface presentation".
- [6] ETSI EN 300 419: "Access and Terminals (AT); 2048 kbit/s digital structured leased lines (D2048S); Connection characteristics".
- [7] TCN 68 - 140: 1995: "Protection of Telecommunication Lines and Equipments against Overvoltages and Overcurrents – Technical Requirement".
- [8] TCN 68 - 190: 2000: "Telecommunication Terminal Equipment - Electrical Safety Requirement".
- [9] TCN 68 - 191: 2000: "ElectroMagnetic Compatibility (EMC) - Telecommunication Equipment – General Emission Requirement".
- [10] TCN 68 - 172: 1998: "Interfaces for Interconnection - Technical Requirement".

3. Definitions and Abbreviations

3.1 Definitions

Leased lines: telecommunications facilities provided by a public telecommunications network that provide defined transmission characteristics between NTPs and that do not include switching functions that the user can control, (e.g. on-demand switching).

Network Termination Point (NTP): physical connections and their technical access specifications which form part of the public telecommunications network and are necessary for access to and efficient communication through that public network.

Terminal equipment: equipment intended to be connected to the public telecommunications network in order to send, process, or receive information.

Errored Sub-MultiFrame: Sub-MultiFrame (SMF) where the calculated Cyclic Redundancy Check-4 bit (CRC-4) does not correspond with the CRC-4 contained within the next SMF (see clause C.2.2).

Frame: sequence of 256 bits of which the first 8 bits define the frame structure (see annex C).

Multiframe: sequence of two SMFs containing the multiframe alignment word (see annex C).

PRBS(2¹⁵ - 1): Pseudo Random Bit Sequence (PRBS)

S_a bits: bits 4 to 8 (bits S_{a4} to S_{a8}) in frames not containing the frame alignment signal (see annex C).

Sub-Multiframe (SMF): sequence of 8 frames, each of 256 bits, over which the CRC-4 is calculated (see annex C).

3.2 Abbreviations

AIS	Alarm Indication Signal
AMI	Alternate Mark Inversion
CRC-4	Cyclic Redundancy Check-4 bit
D2048S	2048 Digital Structure leased line
DC	Direct current
EMC	ElectroMagnetic Compatibility
HDB3	High Density Bipolar Code of order 3
ISDN	Integrated Services Digital Network
NTP	Network Termination Point
ppm	parts per million
PRBS	Pseudo Random Bit Sequence
RAI	Remote Alarm Indication
r.m.s	root mean square
RT	Requirements Table
SDH	Synchronous Digital Hierarchy
SMF	Sub-MultiFrame
UI	Unit Interval

4. Technical requirements

4.1 Requirements of electrical safety and electromagnetic compatibility

4.1.1 Protections against overvoltages and overcurrents

Electric rigidity of equipment to atmospheric overvoltages, short-term inductive coupling and power line contacts conforms to clause 3.2.7 of TCN 68 - 140: 1995 "Protection of Telecommunication Lines and Equipments against Overvoltages and Overcurrents – Technical Requirement".

TCN 68 - 217: 2002

4.1.2 Safety requirements for operators and users

Equipment will have ability of guaranteeing safety for operators and users according to clause 3.2 of TCN 68 - 190: 2000 "Telecommunication Terminal Equipment - Electrical Safety Requirement".

4.1.3 Protection of users from overvoltages

Equipment will have ability of guaranteeing protection of users from overvoltages on telecommunication network according to TCN 68 - 190: 2000 "Telecommunication Terminal Equipment - Electrical Safety Requirement".

4.1.4 Requirements of electromagnetic compatibility

Equipment shall comply with TCN 68 - 191: 2000 "ElectroMagnetic Compatibility (EMC) - Telecommunication Equipment – General Emission Requirement".

4.2 Electrical characteristics

The transmit pair is the output from the terminal equipment interface. The receive pair is the input to the terminal equipment interface, as shown in figure 1.

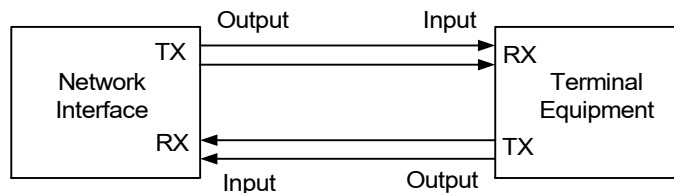


Figure 1

4.2.1 Output port

4.2.1.1 Signal coding

Requirement: the signal transmitted at the output port shall comply with the High Density Bipolar code of order 3 (HDB3) encoding rules (see annex B).

Test: the test shall be conducted according to clause A.1.

4.2.1.2 Waveform shape

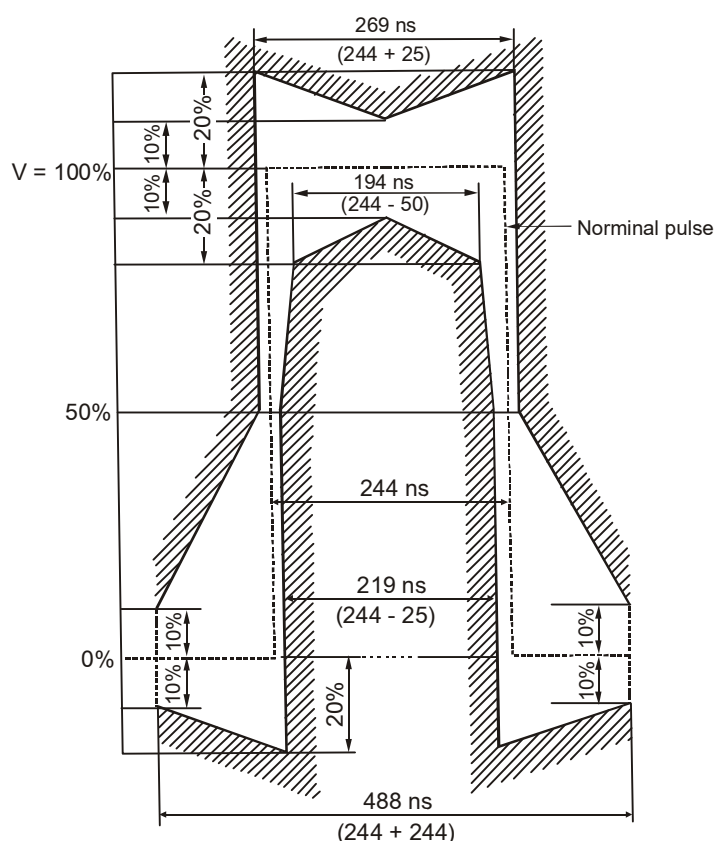
Requirement: the pulse at the output port shall comply with the requirements given in table 1 and figure 2 (based on ITU-T Recommendation G.703 [1]).

Test: the test shall be conducted according to clause A.2.

4.2.1.3 Output timing

Table 1: Waveform shape at output port

Pulse shape (nominally rectangular)	All marks of a valid signal shall conform to the mask (see figure 2) irrespective of the polarity. The value V corresponds to the nominal peak voltage of a mark.
Test load impedance	120 Ω non-reactive
Nominal peak voltage V of a mark	3 V
Peak voltage of a space	0 ± 0.3 V
Nominal pulse width	244 ns
Ratio of the amplitudes of positive and negative pulses at the centre of the pulse interval	0.95 to 1.05
Ratio of the widths of positive and negative pulses at the nominal half amplitude	0.95 to 1.05



Note: V corresponds to the nominal peak value

Figure 2: Pulse mask for 2048 kbit/s pulse

Requirement: the terminal equipment shall have.

- An internal clock which shall provide a bit rate at the output port within the limits of 2 048 kbit/s \pm 50 ppm; and
- The capability to provide a clock loop such that the signal timing at the output port is derived from the timing at the input port.

Test: for case a) the test shall be conducted according to clause A.3. The capability to provide a clock loop, case b), are covered by the test of clause A.8.

4.2.1.4 Impedance towards ground

Requirement: where the terminal equipment has a ground, the impedance towards ground of the output port shall be greater than 1000 Ω for frequencies in the range 10 Hz to 1 MHz when measured with a sinusoidal test voltage of 2 V root mean square (r.m.s). For the purpose of this requirement, ground shall be the terminal equipment common reference point or test reference point.

Test: the test shall be conducted according to clause A.7.

4.2.1.5 Output jitter

Requirement: the peak-to-peak output jitter shall not exceed the limits of table 2 when measured with a band pass filter with linear cut-off with the defined cut-off frequencies. At frequencies below the lower 3 dB point, the attenuation of the high pass filter shall rise with a value equal to 20 dB per decade. At frequencies above the upper 3 dB point, the attenuation of the low pass filter shall rise with a value greater than, or equal to, 60 dB per decade.

For the purpose of testing, any signal input from which the output timing is derived shall be provided with the maximum tolerable input jitter, and with the maximum tolerable input frequency deviation, as specified by the manufacturer.

Where the output timing of the terminal equipment is taken from the leased line, the input to the terminal equipment shall be provided with components of sinusoidal jitter at points on the curve of figure 3 and Table 2.

Table 2: Maximum output jitter

Measurement filter bandwidth		Output jitter
Lower cut-off (high pass)	Upper cut-off (low pass)	Unit Interval (UI) peak-to-peak (maximum)
40 Hz	100 kHz	0.11 UI

Test: the test shall be conducted according to clause A.8.

4.2.1.6 Output structure

Requirement: the bit stream transmitted at the output of the terminal equipment shall be structured as defined in clause C.1.

Test: the test shall be conducted according to clause A.9.1.

4.2.1.6.1 CRC-4

Requirement: the CRC-4 bits transmitted at the output of the terminal equipment shall be as defined in tables C.1 and C.2 and clause C.2.1 of annex C and shall correspond to the data transmitted at the output of the terminal equipment.

Test: the test shall be conducted according to clause A.9.1.

4.2.1.6.2 Use of the E-bits

4.2.1.6.2.1 Terminals not using the E-bits

Requirement: both E-bits transmitted at the output of the terminal equipment shall be set to binary ONE in all instances.

Test: the test shall be conducted according to clause A.9.2.

4.2.1.6.2.2 Terminals using the E-bits to indicate errored SMFs

Requirement: the E-bits transmitted at the output of the terminal equipment shall indicate errored SMFs in the input bit stream. One E-bit in a multiframe shall be set to binary ZERO for each errored SMF received in the input bit stream. The E-bits corresponding to non-errored SMFs shall be set to binary ONE. Any delay between the detection of an errored SMF and the setting of the E-bit that indicates the errored SMF shall be less than 1 second.

Test: the test shall be conducted according to clause A.9.3.

4.2.1.6.3 Use of the A-bit

4.2.1.6.3.1 Terminals not using the A-bit

Requirement: the A-bit transmitted at the output of the terminal equipment shall be set to binary ZERO in all instances.

Test: the test shall be conducted according to clause A.9.4.

4.2.1.6.3.2 Terminals using the A-bit

Requirement: the A-bit transmitted at the output of the terminal equipment shall be set to binary ZERO in normal operation but may be changed from binary ZERO to binary ONE within 30 ms of any of the following conditions occurring in the input bit stream:

- a) Three consecutive incorrect frame alignment signals, (the correct frame alignment signal is defined in table C.1);
- b) There being = 915 errored SMFs out of 1 000 SMFs.

The terminal may also change the A-bit from binary ZERO to binary ONE within 30 ms of:

- c) Bit 2 in frames not containing the frame alignment signal being in error (i.e. bit 2 is a binary ZERO) on three consecutive occasions.

For a terminal equipment recovering from loss of frame alignment (i.e. the A-bit set to binary ONE) the A-bit transmitted at the output of the terminal equipment shall be set from binary ONE to binary ZERO within 30 ms of any of the following conditions occurring in the input bit stream:

d) For the first time, the presence of the correct frame alignment signal (as defined in table C.1); and

e) The absence of the frame alignment signal in the following frame detected by verifying that bit 2 of the basic frame is a binary ONE; and

f) For the second time, the presence of the correct frame alignment signal in the next frame.

Test: the test shall be conducted according to clause A.9.4.

4.2.2 *Input port*

4.2.2.1 Signal coding

Requirement: the input port shall decode without error HDB3 encoded signals in accordance with HDB3 encoding rules (see annex B).

Test: the test shall be conducted according to clause A.6.

4.2.2.2 Input return loss

Requirement: the input return loss with respect to 120 Ω at the interface shall be greater than or equal to the values given in table 3, which is taken from clause 9.3 of ITU-T Recommendation G.703 [1].

Table 3: Input port minimum return loss

Frequency range	Return loss
51 kHz to 102 kHz	12 dB
102 kHz to 2 048 kHz	18 dB
2 048 kHz to 3 072 kHz	14 dB

Test: the test shall be conducted according to clause A.4.

4.2.2.3 Input loss tolerance

Requirement: the input port shall decode without errors a 2048 kbit/s signal as defined in clauses 4.2.1.1 and 4.2.1.2 above but modified by a cable or artificial cable with the following characteristics:

a) Attenuation that follows a 'f law with values throughout the range 0 to 6 dB at 1024 kHz; and

b) Characteristic impedance of 120 Ω with a tolerance of $\pm 20\%$ in the frequency range from 200 kHz up to, but not including, 1 MHz, and $\pm 10\%$ at 1 MHz.

Test: the test shall be according to clause A.5.

4.2.2.4 Immunity against reflections

Requirement: when a signal comprising a combination of a normal signal and an interfering signal is applied to the input port, via an artificial cable with a loss in the range 0 dB to 6 dB at 1 MHz, no errors shall result due to the interfering signal.

The normal signal shall be a signal encoded according to HDB3, shaped according to the mask of figure 2, with a binary content in accordance with a PRBS($2^{15} - 1$).

The interfering signal shall be the same as the normal signal except that the level is attenuated by 18 dB, the bit rate is within 2048 kbit/s \pm 50 ppm and the timing shall not be synchronized to the normal signal.

Test: the test shall be conducted according to clause A.5.

4.2.2.5 Tolerable longitudinal voltages

Requirement: the receiver shall operate without errors with any input signal in the presence of a longitudinal voltage of magnitude 2 V r.m.s over the frequency range 10 Hz to 30 MHz.

Test: the test shall be conducted according to clause A.6.

4.2.2.6 Impedance towards ground

Requirement: where the terminal equipment has a ground, the impedance towards ground of the input port shall be greater than 1000 Ω for frequencies in the range 10 Hz to 1 MHz when measured with a sinusoidal test voltage of 2 V r.m.s. For the purpose of this requirement, ground shall be the terminal equipment common reference point or test reference point.

Test: the test shall be conducted according to clause A.7.

4.2.2.7 Input jitter tolerance

Requirement: the terminal equipment shall tolerate at its input port the maximum input jitter as shown in table 4 and figure 3.

Table 4: Input jitter tolerance

Peak-to-peak amplitude (UI)		Frequency (Hz)			
A1	A2	f1	f2	f3	f4
1.5	0.2	20	2400	18000	100000

Test: the test shall be conducted according to clause A.8.

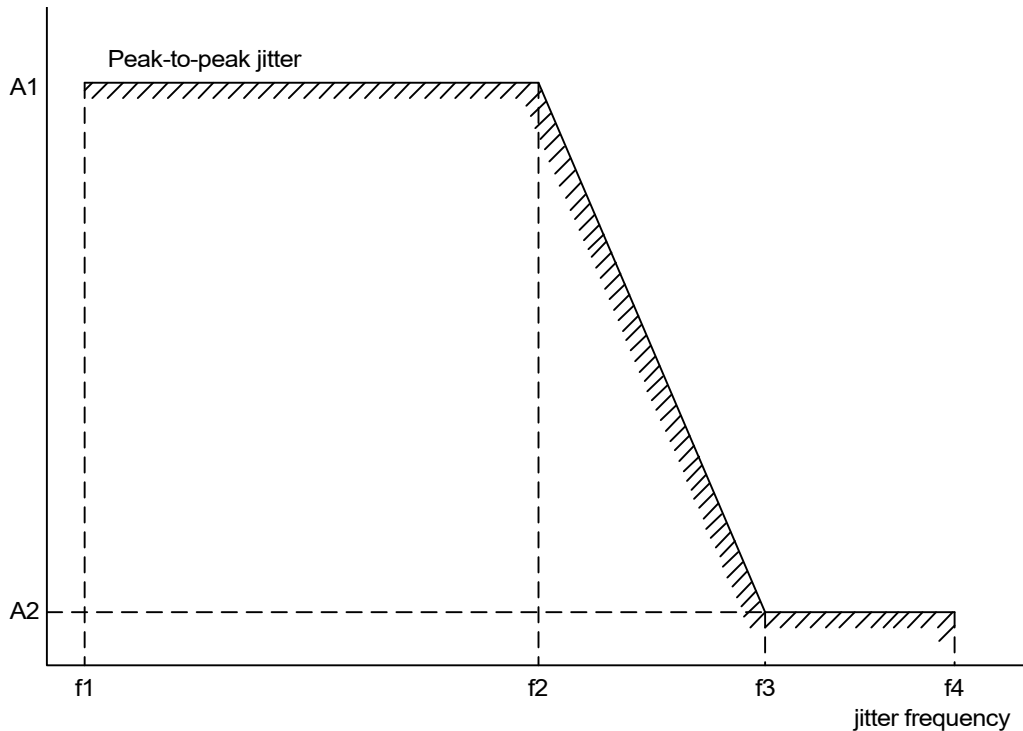


Figure 3: Input jitter tolerance

4.2.2.8 Input clock tolerance

Requirement: the terminal equipment shall decode without error HDB3 encoded signals over the frequency range $2\,048\text{ kbit/s} \pm 50\text{ ppm}$.

Test: the test shall be conducted in accordance with clause A.8.

4.2.2.9 Input frame structure

4.2.2.9.1 Frame alignment

Requirement: the input port shall accept an input bit stream with a frame and multiframe structure as defined in annex C. The terminal equipment shall be capable of achieving frame alignment in order to separate the user data from the frame information.

Frame alignment shall be achieved following:

- a) For the first time, the presence of the correct frame alignment signal; and
- b) The absence of the frame alignment signal in the following frame detected by verifying that bit 2 of the basic frame is a binary ONE; and
- c) For the second time, the presence of the correct frame alignment signal in the next frame, provided that the data does not contain any simulated frame alignment words.

The terminal equipment shall continue to maintain frame alignment in the event of receiving one or two consecutive incorrect frame alignment signals. On receipt of three consecutive incorrect frame alignment signals the terminal equipment shall consider frame alignment to have been lost and initiate a search for frame alignment.

Frame alignment may also be considered to have been lost following:

- d) The occurrence of = 915 errored SMFs out of 1000 SMFs; or
- e) Bit 2 in frames not containing the frame alignment signal being in error on three consecutive occasions; or
- f) The inability to achieve multiframe alignment within 8 ms (see clause 4.2.2.9.2).

Test: the test shall be conducted in accordance with clause A.10.1.

4.2.2.9.2 Multiframe alignment

This requirement is optional and applies only to those terminal equipments needing to obtain multiframe alignment in order to extract CRC-4 information in order to comply with clause 4.2.1.6.2.2.

Requirement: CRC-4 multiframe alignment shall be achieved if at least two valid CRC-4 multiframe alignment signals can be located within 8 ms (the time separating two CRC-4 multiframe alignment signals being 2 ms or a multiple of 2 ms). If multiframe alignment cannot be achieved within 8 ms it shall be assumed that frame alignment is due to a spurious frame alignment signal and a research for frame alignment shall be initiated.

Note: The research for frame alignment should be started at a point just after the location of the assumed spurious frame alignment signal. This will usually avoid realignment onto the spurious frame alignment signal.

Test: the test shall be conducted in accordance with clause A.10.2.

ANNEX A
(Normative)
TEST METHODS

A.1 Signal coding at the output port

Purpose: to verify that the signal coding at the terminal equipment output port complies with the HDB3 coding rules as required by clause 4.2.1.1.

Test configuration: (see figure A.1).

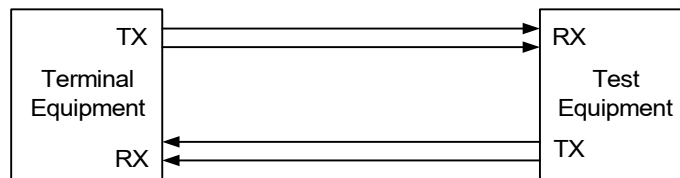


Figure A.1: Signal coding

Interface state: powered.

Stimulus: the terminal equipment shall transmit a HDB3 bit stream according to the frame structure of annex C. The binary content of the data contained in bits 9 to 256 of the frame shall be a bit stream including the sequences <0000><even number of binary ONES><0000> and <0000><odd number of binary ONES><0000>, where 0 = space and 1 = mark input to the HDB3 encoder, (see note).

Monitor: the output bit stream for a test period of sufficient time to allow transmission of 100 occurrences of the above patterns plus the latency period of the error detection mechanism.

Results: there shall be no errors in the decoded bit stream.

Note: A pseudo random bit stream, e.g. PRBS($2^{15} - 1$), will be acceptable if the bit patterns of the above clause are included in the bit stream.

A.2 Waveform shape at output port

Purpose: to verify conformance of the output waveform shape with the requirements of clause 4.2.1.2.

Test configuration: (see figure A.2)

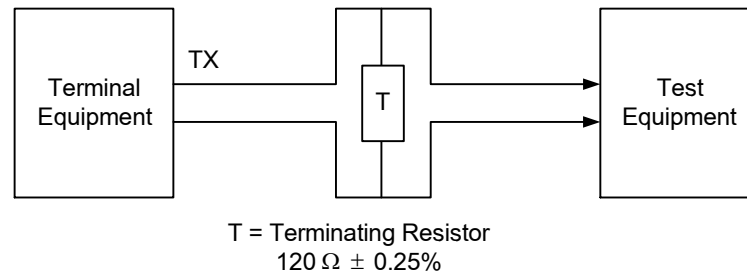


Figure A.2: Waveform shape at output port

Interface state: powered.

Stimulus: undefined.

Monitor:

- Marks and spaces transmitted by the terminal equipment, measuring the amplitude and shape of positive and negative pulses (measured at the centre of the pulse interval) and the time duration of positive and negative pulses (measured at the nominal half of the pulse amplitude, i.e. 1.5 V);

- The overall measurement accuracy shall be better than 90 mV. All the measurements shall be performed using measuring equipment capable of recording direct current (DC). A bandwidth of 200 MHz or greater shall be used to ensure the capture of over or undershoot of the pulse.

Results:

- Both positive and negative pulses shall be within the mask of figure 2, where $V = 100\%$ shall be 3 V;

- The bit interval corresponding to a space shall not present voltages higher than ± 0.3 V;

- The ratio between the amplitude of positive and negative pulses shall be contained in the range from 0.95 to 1.05;

- The ratio between the pulse widths of positive and negative pulses shall be in the range from 0.95 to 1.05.

A.3 Output timing

Purpose: to verify the bit rate is within the limits of 2048 kbit/s \pm 50 ppm when the terminal equipment is generating timing from an internal clock, clause 4.2.1.3.

Test configuration: (see figure A.3).

- The terminal equipment shall be configured to provide output timing from the internal clock source. The terminal equipment output shall be any HDB3 encoded bit stream.

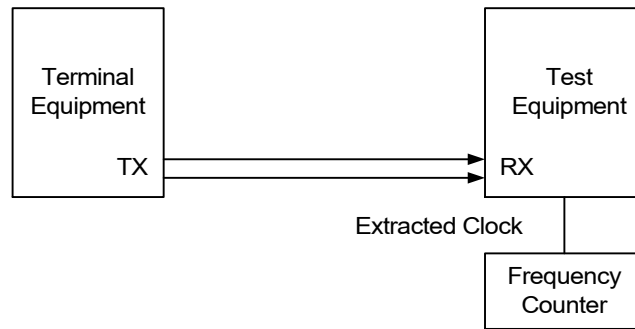


Figure A.3: Output timing

Interface state: powered.

Stimulus: undefined.

Monitor: the bit rate from the terminal equipment output port.

Results: the bit rate shall be within the limits of 2 048 kbit/s \pm 50 ppm.

A.4 Return loss at input port

Purpose: to verify that the return loss of the receive pair of the terminal equipment interface complies with the requirements of clause 4.2.2.2.

Test configuration: (see figure A.4).

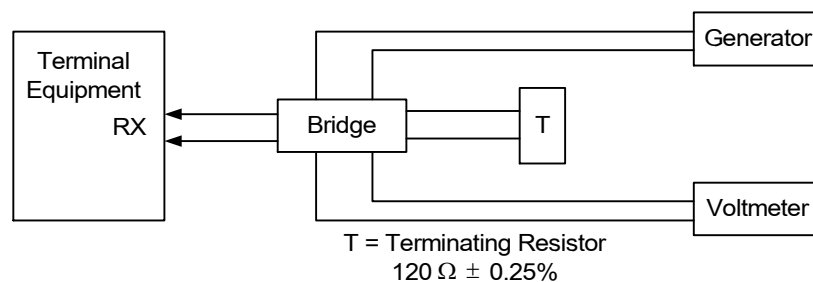


Figure A.4: Return loss at input port

Interface state: powered.

Stimulus: sinusoidal signal of 3 V peak at the input to the terminal equipment with a frequency variable between 51 kHz and 3072 kHz.

Monitor: voltage measured across the bridge, representing a terminating resistor of 120Ω , using a selective voltmeter with a bandwidth of less than 1 kHz.

Results: the measured return loss shall be greater than or equal to the values in table 3.

Note: The characteristics of the generator and of the voltmeter may be different depending on the implementation of the bridge, however, the total error of the test set-up should be less than 0.5 dB in the range between 10 dB and 20 dB. When connected to a $120 \Omega \pm 0.25 \%$ resistor the measured return loss of the bridge should be 20 dB higher than the limits specified for the interface.

A.5 Input loss tolerance and immunity against reflections

Purpose: to check the input port immunity against an interfering signal combined with the input signal, as specified in clause 4.2.2.4, both without cable (i.e. 0 dB attenuation loss) and with a cable attenuation of 6 dB, as specified in clause 4.2.2.3.

Test configuration: (see figure A.5).

- The interfering signal shall be combined with the main signal in a combining network of impedance 120Ω , with zero dB loss in the main path and an attenuation in the interference path of 18 dB;

- The cable simulator shall have an attenuation of 6 dB measured at 1024 kHz and an attenuation characteristic that follows a 'f law over the frequency range 100 kHz to 10 MHz;

- The conformance of the interface shall be verified in the following test conditions:

- a) Without cable simulator and without interfering signal; and
- b) With cable simulator and without interfering signal; and
- c) Without cable simulator and with interfering signal; and
- d) With cable simulator and with interfering signal.

- The test shall be repeated with the wires at the terminal equipment interface input (RX) reversed.

Interface state: powered, with received data looped back to the output port.

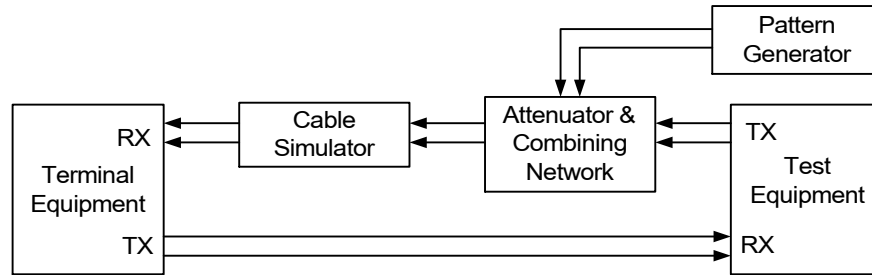


Figure A.5: Immunity against reflections

Stimulus:

- The output signal of the test equipment shall be HDB3 encoded and conform to a pulse shape as defined in figure 15 of ITU-T Recommendation G.703 [1], which is reproduced in figure 2. The bit stream shall be structured into frames, with the CRC-4, according to ITU-T Recommendation G.704 [2]. Within the frames not containing the frame alignment signal, bit 3 (Remote Alarm Indication (RAI)) shall be set to 0 and bits 4 to 8 (S_{a4} to S_{a8}) shall be set to 1. The binary content of the data contained in bits 9 to 256 of the frame shall be a PRBS($2^{15} - 1$). The bit rate shall be within the limits $2048 \text{ kbit/s} \pm 50 \text{ ppm}$;

- The interfering signal from the pattern generator shall:

a) Be HDB3 encoded and conform to a pulse shape as defined in figure 15 of ITU-T Recommendation G.703 [1], which is reproduced in figure 2; and

b) Have a binary content with a PRBS($2^{15} - 1$); and

c) Have a bit rate within the limits $2048 \text{ kbit/s} \pm 50 \text{ ppm}$, not synchronized to the output signal of the test equipment.

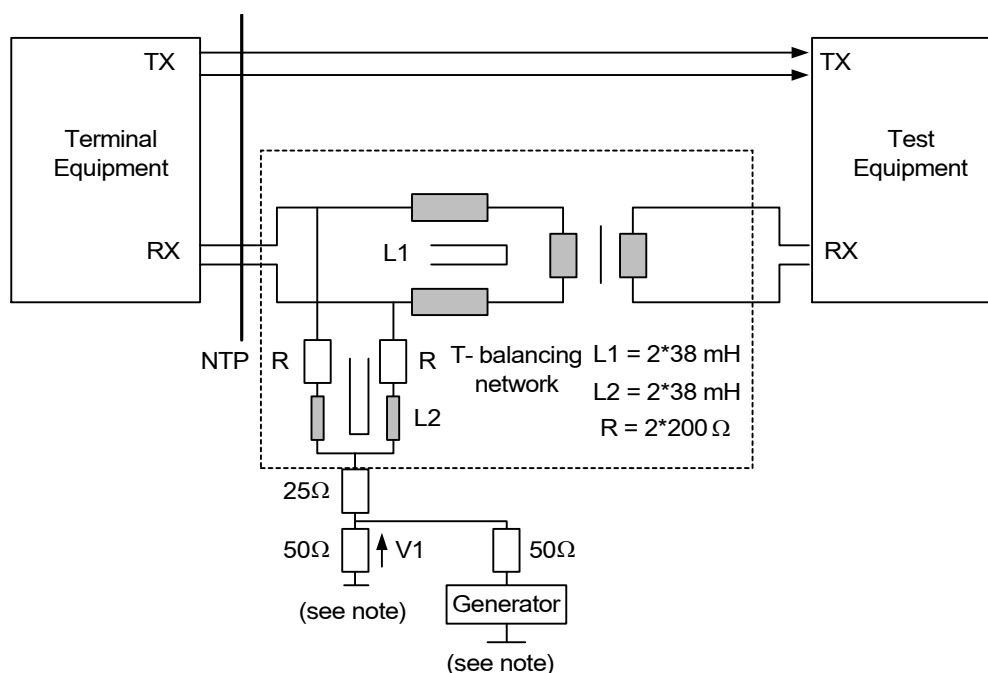
Monitor: data at output port of the terminal equipment.

Results: verify that the data received from the equipment under test is identical with the generated sequence for a period of at least one minute.

A.6 Tolerable longitudinal voltage, HDB3 input coding

Purpose: to check minimum tolerance to longitudinal voltages at the input of the terminal equipment, as specified in clause 4.2.2.5, and correct recognition of HDB3 code, as specified in clause 4.2.2.1.

Test configuration: (see figure A.6).



NOTE: This point shall be connected to the terminal equipment common reference point or to the equipment test reference point.

Figure A.6: Tolerable longitudinal voltage and HDB3 input coding

Interface state: powered, with received data looped back to the output port of the terminal equipment.

Stimulus:

- The output signal of the test equipment shall be HDB3 encoded and conform to a pulse shape as defined in figure 15 of ITU-T Recommendation G.703 [1], which is reproduced in figure 2. The bit stream shall be structured into frames, with the CRC-4, according to ITU-T Recommendation G.704 [2]. Within the frames not containing the frame alignment signal, bit 3 (RAI) shall be set to 0 and bits 4 to 8 (S_{a4} to S_{a8}) shall be set to 1. The binary content of the data contained in bits 9 to 256 of the frame shall be a PRBS($2^{15} - 1$);

- A longitudinal voltage V_L of 2 V r.m.s, ± 20 mV with a frequency variable between 10 Hz and 30 MHz shall be applied for a minimum of 2 seconds.

Monitor: data at output port of the terminal equipment.

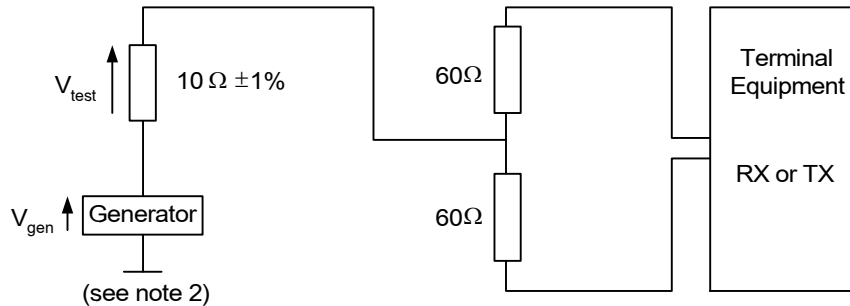
Results: verify that the data received from the equipment under test is identical with the generated sequence.

Note: The inherent longitudinal conversion loss of the T-balancing network should be greater than 30 dB.

A.7 Impedance towards ground

Purpose: to check terminal equipment input and output ports impedance towards ground, as specified in clauses 4.2.1.4 and 4.2.2.6.

Test configuration: (see figure A.7).



NOTE 1: The 60Ω resistors should be within 1% and matched to better than 0.1%
NOTE 2: This point shall be connected to the terminal equipment common reference point or to the equipment test reference point

Figure A.7: Impedance towards ground

Interface state: powered.

Stimulus: sinusoidal test signal (V_{gen}) of 2 V r.m.s, ± 20 mV applied over the frequency range 10 Hz to 1 MHz.

Monitor: voltage of V_{test} .

Results: voltage V_{test} shall be less than 19.2 mV r.m.s.

A.8 Input and output jitter

Purpose: this test is used to measure tolerance to input jitter (clause 4.2.2.7), maximum output jitter (clause 4.2.1.5) and operation over the specified timing input range (clause 4.2.2.8).

Test configuration: (see figure A.8).

- The terminal equipment shall be tested in each of the following configurations (where these modes of operation are supported):

a) Output timing referenced to the internal clock; and

b) Output timing referenced to any external clock source from which timing can be derived (including derivation from the input signal).

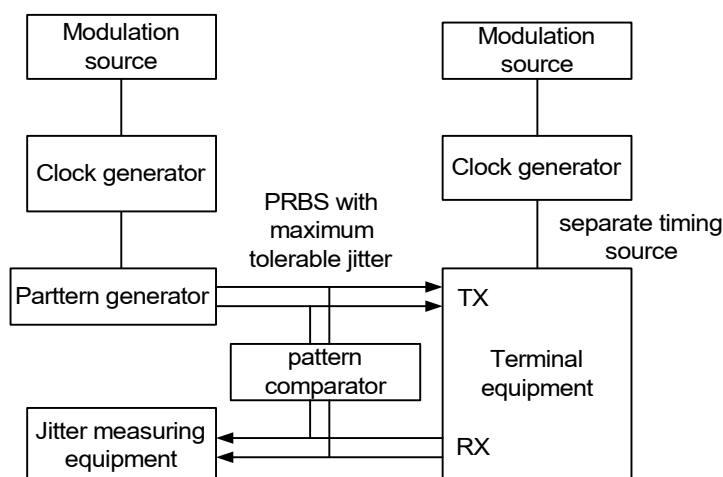


Figure A.8: Jitter measurement

Interface state: powered, with received data looped back to the output port.

Stimulus:

- The output signal of the pattern generator shall be HDB3 encoded and conform to a pulse shape as defined in figure 15 of ITU-T Recommendation G.703 [1], which is reproduced in figure 2. The bit stream shall be structured into frames, with the CRC-4, according to ITU-T Recommendation G.704 [2]. Within the frames not containing the frame alignment signal, bit 3 (RAI) shall be set to 0 and bits 4 to 8 (S_{a4} to S_{a8}) shall be set to 1. The binary content of the data contained in bits 9 to 256 of the frame shall be a PRBS($2^{15} - 1$);

- Measurements shall be made with both the input signals at the digital rate limits and between these limits, sufficient to verify jitter compliance over the specified frequency range. As a minimum the test shall be performed at the upper and lower limits and at the nominal rate;

- The modulation source for the terminal equipment input bit stream shall generate individual components of sinusoidal jitter at points on the curve of figure 3 and table 4;

- The modulation source for the external timing (if needed) shall be independent from that for the input signal and shall generate the maximum tolerable jitter, and maximum frequency deviation, as specified by the manufacturer of the terminal equipment;

- It may be necessary to synchronize the two clock generators to avoid a high occurrence of slips.

Monitor:

- a) The signal transmitted by the terminal equipment; and

b) The jitter extracted from this signal, using equipment complying with ITU-T Recommendation O.171 [4], with defined cut-off frequencies as shown in table 2 of the present document.

Results:

a) There shall be no bit errors reported by the test equipment within the period of the test; and

b) The peak-to-peak jitter shall comply with table 2 when measured with linear filters with the defined cut-off frequencies.

Note: The modulation source may be included in the clock generator and/or the pattern generator, or it may be provided separately.

A.9 Frame structure

A.9.1 Output structure and CRC-4 generation

Purpose: to test the correct output structure (clause 4.2.1.6) and CRC-4 generation (clause 4.2.1.6.1) at the terminal equipment output port.

Test configuration: (see figure A.9).

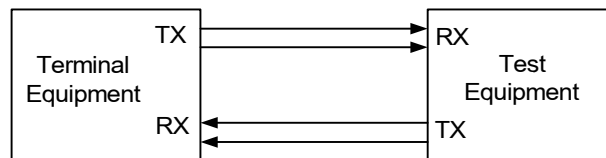


Figure A.9: Frame structure

Interface state: powered.

Stimulus:

- The output signal of the test equipment shall be HDB3 encoded and conform to a pulse shape as defined in figure 15 of ITU-T Recommendation G.703 [1], which is reproduced in figure 2, and a framing structure as defined in ITU-T Recommendation G.704 [2];

- The terminal equipment shall transmit a HDB3 bit stream with a binary content that has a frame structure according to annex C of the present document. The binary content of the data contained in bits 9 to 256 of the frame shall be a pseudo random bit stream, e.g. PRBS($2^{15} - 1$).

Monitor: the frame alignment signal and CRC-4 in the output bit stream from the terminal equipment.

Results:

- The frame alignment signal and bit 2 of the frame not containing the frame alignment signal shall be as defined in table C.1;
- The CRC-4 shall correspond with the data in the previous SMF, as defined in clause C.2 and clause C.2.1.

A.9.2 Terminals not using the E-bits

Purpose: to verify that for terminal equipments not using the E-bit to indicate SMF errors, the E-bits are set to binary ONE, as specified in clause 4.2.1.6.2.1.

Test configuration: (see figure A.9).

Interface state: powered.

Stimulus:

- The terminal equipment shall transmit a HDB3 bit stream according to the frame structure of annex C. The binary content of the data contained in bits 9 to 256 of the frame shall be a pseudo random bit stream, e.g. PRBS($2^{15} - 1$);
- The output signal of the test equipment shall be HDB3 encoded and conform to a pulse shape as defined in figure 15 of ITU-T Recommendation G.703 [1], which is reproduced in figure 2, and a framing structure as defined in ITU-T Recommendation G.704 [2]. The test equipment shall generate the stimuli as defined in column 1 of Table A.1.

Table A.1: Terminals not supporting the E-bit

Stimulus from test equipment	Result
Continuous SMFs with correct CRC-4	E = 1
Continuous SMFs with incorrect CRC-4	E = 1
Signal causing loss of frame alignment (e.g. Alarm Indication Signal (AIS))	E = 1

Monitor: the E-bit in the output bit stream from the terminal equipment.

Results: the E-bit shall be as defined in column 2 of Table A.1.

A.9.3 Terminals using the E-bits to indicate errored SMFs

Purpose: to verify that for terminal equipments using the E-bit to indicate SMF errors.

Test configuration: (see figure A.9).

Interface state: powered.

Stimulus:

- The terminal equipment shall transmit a HDB3 bit stream according to the frame structure of annex C. The binary content of the data contained in bits 9 to 256 of the frame shall be a pseudo random bit stream, e.g. PRBS($2^{15} - 1$);

- The output signal of the test equipment shall be HDB3 encoded and conform to a pulse shape as defined in figure 15 of ITU-T Recommendation G.703 [1], which is reproduced in figure 2, and a framing structure as defined in ITU-T Recommendation G.704 [2]. The test equipment shall generate the stimuli as defined in column 1 of table A.2.

Table A.2: Terminals using the E-bits to indicate errored SMFs

Stimulus from test equipment	Result
One SMF with an incorrect CRC-4 within a stream of SMFs with correct CRC-4s	One E-bit of E = 0, sent within 1 second of the errored SMF, the other E-bits being E = 1.
Two consecutive SMFs with incorrect CRC-4s within a stream of SMFs with correct CRC-4s	Two consecutive E-bits of E = 0, sent within 1 second of the errored SMF, the other E-bits being E = 1
<i>Note: Two consecutive E-bits may be in consecutive multiframes.</i>	

Monitor: the E-bit in the output bit stream from the terminal equipment.

Results: the E-bit shall be as defined in column 2 of Table A.2.

A.9.4 Use of the A-bit

Purpose: to verify that the A-bit is set correctly to indicate conditions at the terminal equipment input port as specified in clause 4.2.1.6.3.1 or clause 4.2.1.6.3.2.

Test configuration: (see figure A.9)

Interface state: powered.

Stimulus:

- The terminal equipment shall transmit a HDB3 bit stream according to the frame structure of annex C. The binary content of the data contained in bits 9 to 256 of the frame shall be a pseudo random bit stream, e.g. PRBS($2^{15} - 1$);

- The output signal of the test equipment shall be HDB3 encoded and conform to a pulse shape as defined in figure 15 of ITU-T Recommendation G.703 [1], which is reproduced in figure 2, and a framing structure as defined in ITU-T Recommendation G.704 [2]. The binary content of the data contained in bits 9 to 256 of the frame shall be a fixed pattern that does not contain a simulated frame alignment signal. The test equipment shall generate the stimuli as defined in column 2 of Table A.3.

Table A.3: Terminals using the A-bit

	Stimulus from test equipment (see notes 1 and 2)	Result (see note 3)
1	Continuous frame sequence containing one incorrect frame alignment signal. (...2 F 2 F 2 /F 2 F 2 F...)	A = 0
2	Continuous frame sequence containing two consecutive incorrect frame alignment signals. (...2 F 2 F 2 /F 2 /F 2 F 2 F...)	A = 0
3	Continuous frame sequence containing three consecutive incorrect frame alignment signals. (...2 F 2 F 2 /F 2 /F 2 /F 2 F 2 F...)	A = 1 within 30 ms of the last incorrect frame alignment signal, returning to A = 0 within 30 ms of two correct frame alignment signals.
4	Continuous frames with three consecutive incorrect frame alignment signals, then N x frame sequences alternating correct and incorrect frame alignment signals, a correct frame then M x frame sequences with the correct frame alignment signal but with the frames not containing the frame alignment signal with bit 2 = 0, followed by continuous correct frames. (...2 F 2 F 2 /F 2 /F 2 /F Nx(2 F 2 /F) 2 F Mx(/2 F) 2 F 2 F...)	A = 1 within 30 ms of the third incorrect frame alignment signal, staying at A = 1 until A = 0 within 30 ms of two consecutive correct frame alignment signals. M and N shall be between 40 and 100.
5	Continuous frames with two consecutive frames not containing the frame alignment signal having bit 2 = 0. (...2 F 2 F /2 F /2 F 2 F 2 F...)	A = 0
6	Continuous frames with three consecutive frames not containing the frame alignment signal having bit 2 = 0. (...2 F 2 F /2 F /2 F /2 F 2 F 2 F...)	A = 1 shall be set within 30 ms of the third frame with bit 2 = 0, returning to A = 0 within 30ms of two correct frame alignment signals.
7	Continuous frames with 914 consecutive errored SMFs, followed by 86 consecutive non-errored SMFs, followed by 914 consecutive errored SMFs, followed by continuous non-errored SMFs. (...SMF SMF 914x/SMF 86xSMF 914x/SMF SMF...)	A = 0
8	Continuous frames with 915 consecutive errored SMFs, followed by 85 consecutive non-errored SMFs, followed by 915 consecutive errored SMFs, followed by continuous non-errored SMFs. (...SMF SMF 915x/SMF 85xSMF 915x/SMF SMF...)	During this time the A-bit shall change at least once from A = 0 to A = 1 and back to A = 0
<p>Note 1: Each test defined within the table shall be preceded by sufficient correct frames to ensure frame and multiframe alignment.</p> <p>Note 2: F is a frame with a correct frame alignment signal; /F is a frame with an incorrect frame alignment signal; 2 is the frame not containing the frame alignment signal having bit 2 set to 1; /2 is the frame not containing the frame alignment signal having bit 2 set to 0; SMF is a Sub-MultiFrame having correct frame alignment and correct CRC-4 bits; /SMF is a Sub-MultiFrame having correct frame alignment and incorrect CRC-4 bits.</p> <p>Note 3: Result for terminals complying with clause 4.2.1.6.3.2.</p>		

Monitor: the A-bit in the output bit stream from the terminal equipment.

Results:

- For terminal equipments complying with clause 4.2.1.6.3.1 (i.e. those not using the A-bit), the A-bit shall be set to binary ZERO for all stimuli in column 3 of table A.3;

- For terminal equipments complying with clause 4.2.1.6.3.2 (i.e. those using the A-bit), the A-bit shall be as defined in table A.3. Requirements tested by test 6 of table A.3 is an optional requirements, it shall only be performed if this implementation is declared by the manufacturer.

A.10 Input frame structure

A.10.1 Frame alignment

Purpose: to verify that the terminal equipment input port can achieve frame alignment as specified in clause 4.2.2.9.1. Terminal equipments using the A-bit according to clause 4.2.1.6.3.2 and conforming to the tests in clause A.9.4 do not need to be tested as defined in this clause since conformance is demonstrated by compliance with clause A.9.4.

Test configuration: (see figure A.10).

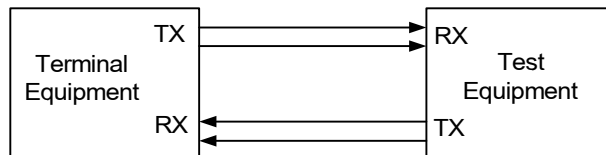


Figure A.10: Frame alignment

Interface state: powered, with received data from bits 9 to 256 of the input frame looped back to the output port.

Stimulus: the output signal of the test equipment shall be HDB3 encoded and conform to a pulse shape as defined in figure 15 of ITU-T Recommendation G.703 [1], which is reproduced in figure 2, and a framing structure as defined in ITU-T Recommendation G.704 [2]. The binary content of the data contained in bits 9 to 256 of the frame shall be a fixed pattern that does not contain any simulated frame alignment signal. The test equipment shall generate the stimuli as defined in column 2 of Table A.4.

Table A.4: Frame alignment

	Stimulus from test equipment (see notes 1 and 2)	Result
1	Continuous frame sequence containing one incorrect frame alignment signal. (...2 F 2 F 2 /F 2 F 2 F...)	No breaks in the data. No errors in the received data.
2	Continuous frame sequence containing two consecutive incorrect frame alignment signals. (...2 F 2 F 2 /F 2 /F 2 F 2 F...)	No breaks in the data. No errors in the received data.
3	Continuous frame sequence containing three consecutive incorrect frame alignment signals. (...2 F 2 F 2 /F 2 /F 2 /F 2 F 2 F...)	Any break in the data shall be less than 20.5 ms.
4	Continuous frames with three consecutive incorrect frame alignment signals, then N x frame sequences alternating correct and incorrect frame alignment signals, a correct frame then M x frame sequences with the correct frame alignment signal but with the frames not containing the frame alignment signal with bit 2 = 0, followed by continuous correct frames. (...2 F 2 F 2 /F 2 /F 2 /F Nx(2 F 2 /F) 2 F Mx(/2 F) 2 F 2 F...)	Any break in data transmission shall be less than: $20.75 + 0.5 \times (N + M/2)$ ms. M and N shall be between 40 and 100.
5	Continuous frames with two consecutive frames not containing the frame alignment signal having bit 2 = 0. (...2 F 2 F /2 F /2F 2F 2 F...)	No breaks in the data. No errors in the received data.
6	Continuous frames with three consecutive frames not containing the frame alignment signal having bit 2 = 0. (...2 F 2 F /2 F /2 F /2 F 2 F 2 F...)	A break in the data may occur in some implementations. Any break shall be less than 20.5 ms.
7	Continuous frames with 914 consecutive errored SMFs, followed by 86 consecutive non-errored SMFs, followed by 914 consecutive errored SMFs, followed by continuous non-errored SMFs. (...SMF SMF 914x/SMF 86xSMF 914x/SMF SMF...)	No breaks in the data. No errors in the received data.
8	Continuous frames with 915 consecutive errored SMFs, followed by 85 consecutive non-errored SMFs, followed by 915 consecutive errored SMFs, followed by continuous non-errored SMFs. (...SMF SMF 915x/SMF 85xSMF 915x/SMF SMF...)	A break in the data may occur in some implementations. Any break shall be less than 20.5 ms.
<p><i>Note 1:</i> Each test defined within the table shall be preceded by sufficient correct frames to ensure frame and multiframe alignment.</p> <p><i>Note 2:</i> F is a frame with a correct frame alignment signal; /F is a frame with an incorrect frame alignment signal; 2 is the frame not containing the frame alignment signal having bit 2 set to 1; /2 is the frame not containing the frame alignment signal having bit 2 set to 0; SMF is a Sub-MultiFrame having correct frame alignment and correct CRC-4 bits; /SMF is a Sub-MultiFrame having correct frame alignment and incorrect CRC-4 bits.</p>		

Monitor: monitor the data received in bits 9 to 256 of the frames from the terminal equipments and compare this the data transmitted from the test equipment. Monitor any breaks in the data.

Results: any break in the data shall be as defined in column 3 of Table A.4.

A.10.2. Multiframe alignment

Purpose: to verify that the terminal equipment input port can achieve multi-frame alignment as specified in clause 4.2.2.9.2.

Test configuration: (see figure A.10).

Interface state: powered.

Stimulus: the output signal of the test equipment shall be HDB3 encoded and conform to a pulse shape as defined in figure 15 of ITU-T Recommendation G.703 [1], which is reproduced in figure 2, and a framing structure as defined in ITU-T Recommendation G.704 [2]. The binary content of the data contained in bits 9 to 256 of the frame shall be a fixed pattern that does not contain any simulated frame alignment signal. The test equipment shall generate the stimuli as defined in column 2 of Table A.5.

Table A.5: Multiframe alignment

	Stimulus from test equipment (see notes 1 and 2)	Result
1	Continuous correct multiframe. (...MF MF MF MF...)	Multiframe alignment.
2	A sequence of correct multiframe, followed by three incorrect frame alignment signals, followed by one incorrect multiframe, one correct multiframe, two incorrect multiframe, two correct multiframe, two incorrect multiframe, continuous correct multiframe. (...MF /F 2 /F2 /F 2 /MF MF /MF /MF MF MF /MF /MF MF...)	Multiframe alignment shall be achieved after the first correct multiframe following the two incorrect multiframe.
<p><i>Note 1:</i> Each test defined within the table shall be preceded by sufficient correct frames to ensure frame and multiframe alignment.</p> <p><i>Note 2:</i> F is a frame with a correct frame alignment signal; /F is a frame with an incorrect frame alignment signal; 2 is the frame not containing the frame alignment signal having bit 2 set to 1; MF is a multiframe having correct frame alignment signal, bit 2 = 1, correct multiframe alignment signal and correct CRC-4 bits; /MF is a multiframe having correct frame alignment signal, bit 2 = 1, incorrect multiframe alignment signal and correct CRC-4 bits.</p>		

Monitor: monitor for multiframe alignment; the supplier of the terminal equipment shall declare how this shall be done. Those terminal equipments using the E-bits to indicate errored SMFs may indicate multiframe alignment by the correct recognition of errored SMFs inserted into the stimulus signal from the test equipment (i.e. MF /F 2 /F 2 /F 2 /MF MF /MF /MF MF MF /MF /MF /SMF /SMF MF).

Results: multiframe alignment shall be achieved as defined in column 3 of table A.5.

ANNEX B

(Normative)

DEFINITION OF HDB3 CODE

B.1 General

This annex specifies the modified Alternate Mark Inversion (AMI) code HDB3. The contents of this annex are based on annex A of ITU-T Recommendation G.703 [1].

In this code, binary 1 bits are represented by alternate positive and negative pulses, and binary 0 bits by spaces. Exceptions are made when strings of successive 0 bits occur in the binary signal.

In the definition below, B represents an inserted pulse corresponding to the AMI rule, and V represents an AMI violation.

B.2 Definition

Each block of 4 successive zeros is replaced by 000V or B00V. The choice of 000V or B00V is made so that the number of B pulses between consecutive V pulses is odd. In other words, successive V pulses are of alternate polarity so that no DC component is introduced.

ANNEX C

(Normative)

DEFINITION OF FRAME STRUCTURE

C.1. Frame structure

The bit stream shall be structured into a frame of length 256 bits, numbered 1 to 256. The frame repetition rate shall be nominally 8 000 Hz. The allocation of bits 1 to 8 within the frame shall be as shown in Table C.1.

Table C.1: Allocation of bits 1 to 8

Bit no	Frame containing the frame alignment signal	Frame not containing the frame alignment signal
1	CRC-4 (see clause C.2)	CRC-4 (see clause C.2)
2	0	1
3	0	A (see note 1)
4	1	S _{a4} (see note 2)
5	1	S _{a5} (see note 2)
6	0	S _{a6} (see note 2)
7	1	S _{a7} (see note 2)
8	1	S _{a8} (see note 2)
<p>Note 1: Bit A: RAI.</p> <p>Note 2: Bits S_{a4} to S_{a8} are for the use of the leased line operator. Their value at the output port of a leased line is undefined.</p>		

C.2. CRC-4

The allocation of the CRC-4 bits shall be as given in Table C.2 for a complete CRC-4 multiframe. Each CRC-4 multiframe, which is composed of 16 frames numbered 0 to 15, shall be divided into two 8-frame SMFs, designated SMF I and SMF II which shall signify their respective order within the CRC-4 multiframe structure. The SMF is the block (size 2048 bits) for the CRC-4.

In those frames containing the frame alignment signal, bit 1 shall be used to transmit the CRC-4 bits. These shall be the 4 bits designated C₁ C₂ C₃ and C₄ in each SMF. In those frames not containing the frame alignment signal, bit 1 shall be used

to transmit the six bit CRC-4 multiframe alignment signal and two CRC-4 error indication bits (E-bits). The CRC-4 multiframe alignment signal shall have the form 001011.

Table C.2: Allocation of CRC-4 bits with a multiframe

	SMF	Frame	Bit 1
Multiframe	SMF I	0	C ₁
		1	0
		2	C ₂
		3	0
		4	C ₃
		5	1
		6	C ₄
		7	0
	SMF II	8	C ₁
		9	1
		10	C ₂
		11	1
		12	C ₃
		13	E
		14	C ₄
15	E		

C.2.1 CRC-4 generation

A particular CRC-4 word, located in SMF N shall be the remainder after multiplication by x^4 and then division (modulo 2) by the generator polynomial $x^4 + x + 1$, of the polynomial representation of SMF (N - 1). When representing the contents of the check block as a polynomial, the first bit in the block, i.e. frame 0 bit 1 or frame 8 bit 1, shall be taken as the most significant bit. Similarly, C₁ is defined to be the most significant bit of the remainder and C₄ the least significant bit of the remainder.

The CRC-4 encoding process is described below:

- a) The CRC-4 bits in the SMF are replaced by binary ZEROs;
- b) The SMF is then acted upon by the multiplication/division process defined above;
- c) The remainder resulting from the multiplication/division process is stored, ready for insertion into the respective CRC-4 locations of the next SMF.

Note: The CRC-4 bits thus generated do not affect the result of the multiplication/division process in the next SMF because, as indicated in a) above, the CRC-4 bit positions in a SMF are initially set to binary ZERO during the multiplication/division process.

C.2.2 CRC-4 monitoring

The CRC-4 monitoring process used to detect errored SMFs shall be as described below:

a) A received SMF is acted upon by the multiplication/division process defined in clause C.2.1 after having its CRC-4 bits extracted and replaced by ZEROs;

b) The remainder resulting from the multiplication/division process is stored and subsequently compared on a bit by bit basis with the CRC-4 bits received in the next SMF;

c) If the remainder calculated in the decoder does not exactly correspond to the CRC-4 bits received in the next SMF, the SMF is defined as being an errored SMF.

ANNEX D
(Normative)
REQUIREMENT TABLE (RT)

Table C.1: Requirement table

No	Reference to the clause	Requirement	Status (see note)
1	4.1.1	Protections against overvoltages and overcurrents	M
2	4.1.2	Safety requirements for operators and users	M
3	4.1.3	Protection of users from overvoltages	M
4	4.1.4	Requirements of electromagnetic compatibility	M
5	4.2.1.1	Signal coding	M
6	4.2.1.2	Waveform shape	M
7	4.2.1.3(a)	Output timing (internal clock)	M
8	4.2.1.3(b)	Output timing (clock loop)	M
9	4.2.1.3(c)	Output timing (external reference)	O
10	4.2.1.4	Impedance towards ground	M
11	4.2.1.5	Output jitter	M
12	4.2.1.6	Output structure	M
13	4.2.1.6.1	CRC-4 procedure	M
14	4.2.1.6.2.1	Terminals not using the E-bits	O.1
15	4.2.1.6.2.2	Terminals using the E-bits to indicate errored SMFs	O.1
16	4.2.1.6.3.1	Terminals not using the A-bit	O.2
17	4.2.1.6.3.2 a b d e f	Terminals using the A-bit	O.2
18	4.2.1.6.3.2 c		If 17 then O else N
19	4.2.2.1	Signal coding	M
20	4.2.2.2	Input return loss	M
21	4.2.2.3	Input loss tolerance	M
22	4.2.2.4	Immunity against reflections	M
23	4.2.2.5	Tolerable longitudinal voltages	M
24	4.2.2.6	Impedance towards ground	M
25	4.2.2.7	Input jitter tolerance	M
26	4.2.2.8	Input clock tolerance	M
27	4.2.2.9.1	Frame alignment	M
28	4.2.2.9.2	Multiframe alignment	If 15 then M else N
<p>Note: O.1: It is mandatory to support one of these options. O.2: It is mandatory to support one of these options. N: Not a requirement.</p>		<p>M: Mandatory. O: Optional.</p>	